

PXIe-BP3309L2 9槽 PXI Express背板

产品使用手册

R1.00.01



前言

版权归北京阿尔泰科技发展有限公司所有，未经许可，不得以机械、电子或其它任何方式进行复制。本公司保留对此手册更改的权利，产品后续相关变更时，恕不另行通知。

■ 免责声明

订购产品前，请向厂家或经销商详细了解产品性能是否符合您的需求。

正确的运输、储存、组装、装配、安装、调试、操作和维护是产品安全、正常运行的前提。本公司对于任何因安装、使用不当而导致的直接、间接、有意或无意的损坏及隐患概不负责。

■ 安全使用小常识

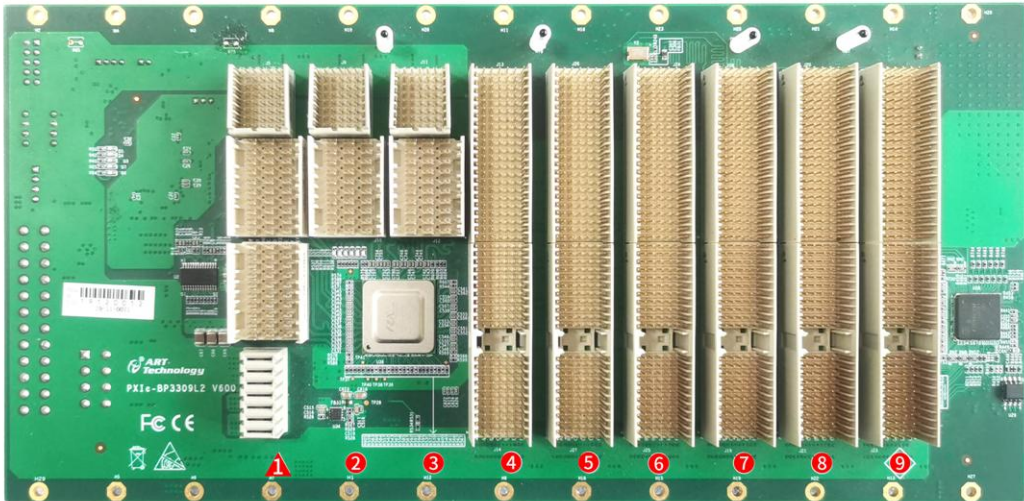
1. 在使用产品前，请务必仔细阅读产品使用手册；
2. 对未准备安装使用的产品，应做好防静电保护工作(最好放置在防静电保护袋中，不要将其取出)；
3. 在拿出产品前，应将手先置于接地金属物体上，以释放身体及手中的静电，并佩戴静电手套和手环，要养成只触及其边缘部分的习惯；
4. 为避免人体被电击或产品被损坏，在每次对产品进行拔插或重新配置时，须断电；
5. 在需对产品进行搬动前，务必先拔掉电源；
6. 对整机产品，需增加/减少板卡时，务必断电；
7. 当您需连接或拔除任何设备前，须确定所有的电源线事先已被拔掉；
8. 为避免频繁开关机对产品造成不必要的损伤，关机后，应至少等待 30 秒后再开机。

目 录

■1	总线结构.....	3
■2	总线拓扑.....	4
■3	技术参数.....	4
■4	背板视图.....	5
	4.1 背板顶视图.....	5
	4.2 背板底视图.....	5
■5	引脚分配.....	6
	5.1 PXIe 系统插槽(Slot #1) 引脚分配.....	6
	5.1.1 XJ1(J8)信号定义.....	6
	5.1.2 XP2(J7)信号定义.....	6
	5.1.3 XP3(J6)信号定义.....	6
	5.1.4 XP4(J3)信号定义.....	7
	5.2 PXIe 外设插槽(Slot #2~3)引脚分配.....	7
	5.2.1 XP4 信号定义.....	7
	5.2.2 XP3 信号定义.....	7
	5.3 PXI 混合外设槽(Slot #4) 引脚分配.....	8
	5.3.1 P1(J14)信号定义.....	8
	5.3.2 P2(J13)信号定义.....	8
	5.4 PXI 外设槽(Slot #5~ Slot #9)引脚分配.....	9
	5.4.1 P1(J27、J25、J19、J21、J23)信号定义.....	9
	5.3.2 P2(J26、J24、J18、J20、J22)信号定义.....	10
■6	背板连接器说明.....	11
	6.1 ATX 直流电源接口.....	11
	6.2 ATX 12V 电源接口.....	11
	6.3 远程监控接口.....	11
	6.4 报警指示灯接口.....	11
	6.5 系统 Button 接口.....	12
	6.6 系统 RST Button 接口.....	12
	6.7 模式控制接口.....	12
	6.8 调速风扇接口.....	12

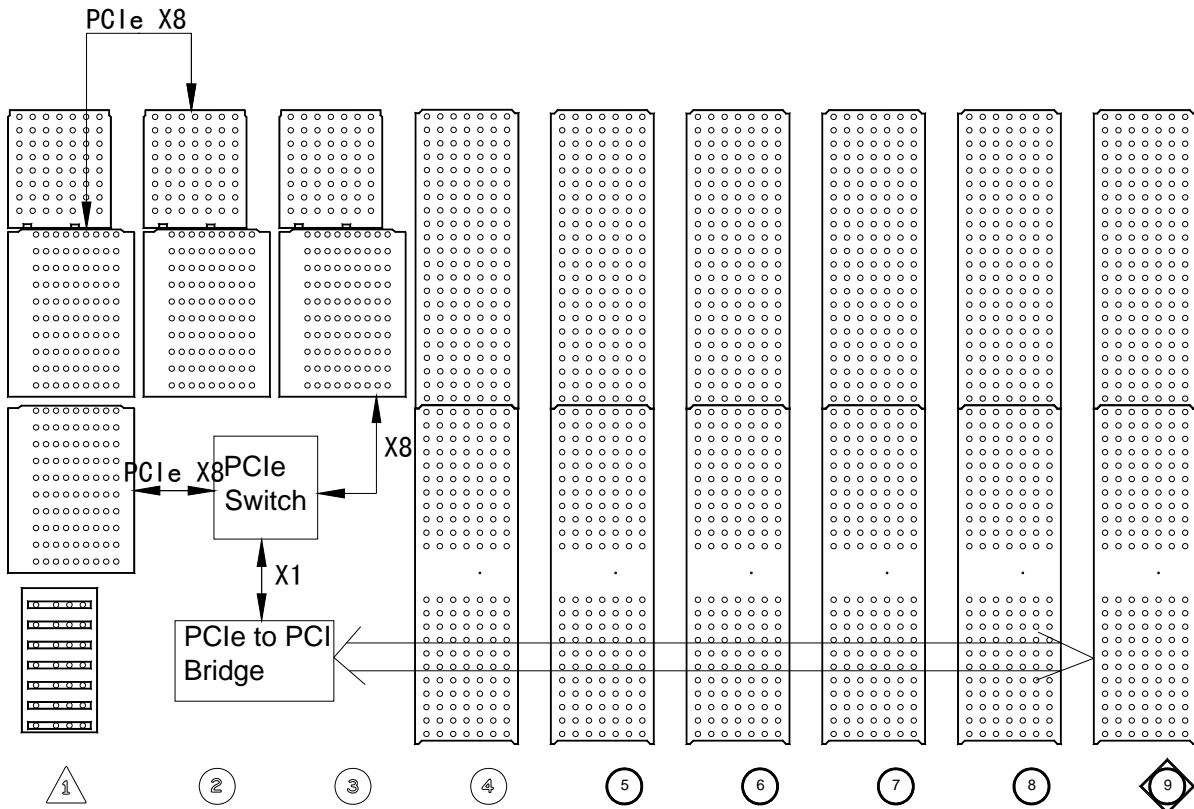
1 总线结构

ATX 电源 接口	PXIe								
	1	2	3	4	5	6	7	8	9
	PXIe 系统槽	PXIe 外设槽		PXI 混合外设槽	PXI 外设槽				



- ① PXIe系统槽 (插PXIe控制器) ②③ PXIe专用槽 (插PXIe卡)
 ④⑤⑥⑦⑧⑨ PXI外设槽 (插PXI卡)

2 总线拓扑

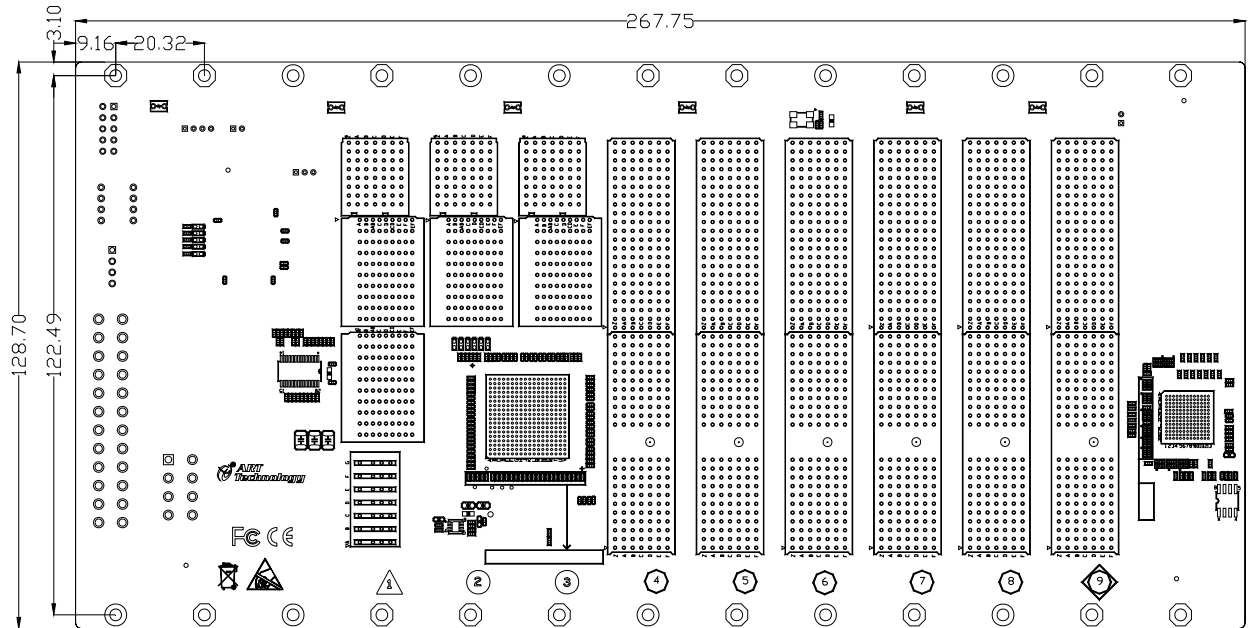


3 技术参数

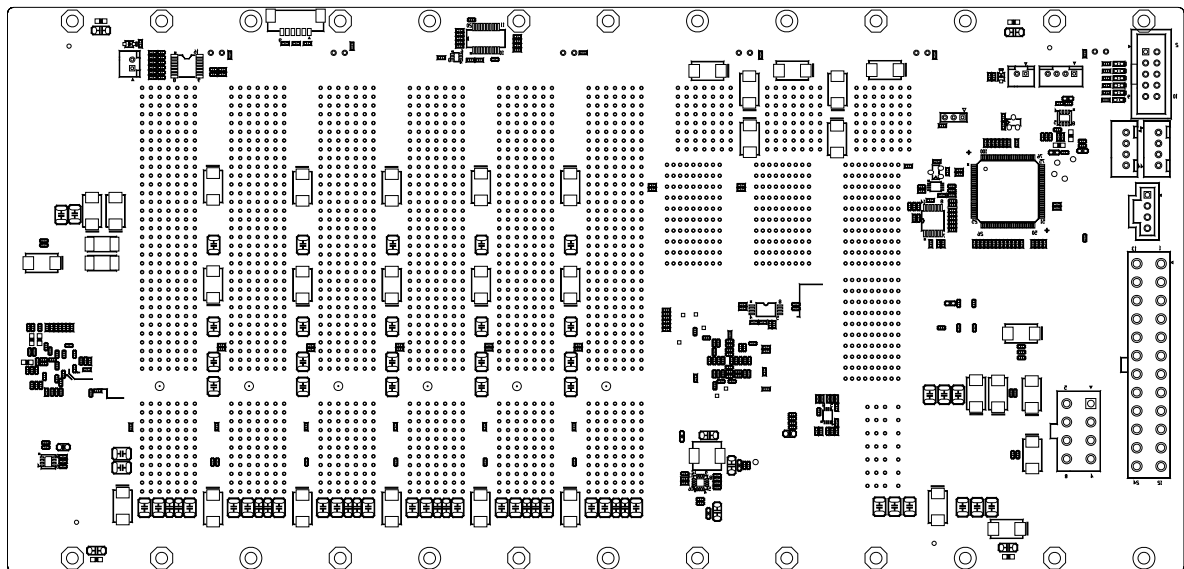
- 9个槽：1个系统插槽、2个PXIe外设槽、6个PXI插槽
- 系统槽支持2Link x8模式
- 最高支持8GB/s的系统带宽
- hybrid设备槽2、3最大支持4GB/s的带宽，PXI legacy 4、5、6、7、8、9支持33MHz/32位PCI标准带宽
- 外观尺寸（mm）：267.75×128.7×2.5（宽度×高度×厚度）
- PCB类型：12层
- 电源连接器：1个ATX24+8电源接口
- 背板上功率最大的电压降：<20mV
- 阻抗：65ohm ±10%用于跟踪
- 工作温度：0℃~+70℃
- 存放温度：-40℃~+85℃

4 背板视图

4.1 背板顶视图



4.2 背板底视图



5 引脚分配

5.1 PXIe 系统插槽(Slot #1) 引脚分配

5.1.1 XJ1(J8)信号定义

Pin	1	2	3	4
G	GND	GND	GND	GND
F	12V	12V	12V	12V
E	12V	12V	12V	12V
D	GND	GND	GND	GND
C	5V	5V	5V	5V
B	3.3V	3.3V	3.3V	3.3V
A	GND	GND	GND	GND
Pin	1	2	3	4

5.1.2 XP2(J7)信号定义

Pin	A	B	ab	C	D	cd	E	F	ef
1	3PETp1	3PETn1	GND	3PERp1	3PERn1	GND	3PETp2	3PETn2	GND
2	3PETp3	3PETn3	GND	3PERp3	3PERn3	GND	3PERp2	3PERn2	GND
3	4PETp0	4PETn0	GND	4PERp0	4PERn0	GND	4PETp1	4PETn1	GND
4	4PETp2	4PETn2	GND	4PERp2	4PERn2	GND	4PERp1	4PERn1	GND
5	4PETp3	4PETn3	GND	4PERp3	4PERn3	GND	NC	NC	GND
6	NC	NC	GND	NC	NC	GND	NC	NC	GND
7	NC	NC	GND	NC	NC	GND	NC	NC	GND
8	NC	NC	GND	NC	NC	GND	NC	NC	GND
9	NC	NC	GND	NC	NC	GND	NC	NC	GND
10	NC	NC	GND	NC	NC	GND	NC	NC	GND
Pin	A	B	ab	C	D	cd	E	F	ef

5.1.3 XP3(J6)信号定义

Pin	A	B	ab	C	D	cd	E	F	ef
1	NC	NC	GND	NC	NC	GND	NC	NC	GND
2	NC	NC	GND	PWR_O K	PS_ON#	GND	LINKCA P	PWRBTN #	GND
3	SMBDA T	SMBCL K	GND	4RefClk+	4RefClk-	GND	2RefClk +	2RefClk-	GND
4	NC	PERST #	GND	3RefClk+	3RefClk-	GND	1RefClk +	1RefClk-	GND
5	1PETp0	1PETn0	GND	1PERp0	1PERn0	GND	1PETp1	1PETn1	GND
6	1PETp2	1PETn2	GND	1PWRp2	1PERn2	GND	1PERp1	1PERn1	GND
7	1PETp3	1PETn3	GND	1PERp3	1PERn3	GND	2PETp0	2PETn0	GND
8	2PETp1	2PETn1	GND	2PERp1	2PERn1	GND	2PERp0	2PERn0	GND
9	2PETp2	2PETn2	GND	2PERp2	2PERn2	GND	2PETp3	2PETn3	GND

10	3PETp0	3PETn0	GND	3PERp0	3PERn0	GND	2PERp3	2PERn3	GND
Pin	A	B	ab	C	D	cd	E	F	ef

5.1.4 XP4(J3)信号定义

Pin	Z	A	B	C	D	E	F
1	GND	GND	GND	GND	GND	NC	GND
2	GND	5Vaux	GND	GND	WAKE#	ALERT#	GND
3	GND	RSV	NC	NC	NC	NC	GND
4	GND	NC	NC	NC	NC	NC	GND
5	GND	PXI_TRIG3	PXI_TRIG4	PXI_TRIG5	GND	PXI_TRIG6	GND
6	GND	PXI_TRIG2	GND	NC	PXI_STAR	PXI_CLK10	GND
7	GND	PXI_TRIG1	PXI_TRIG0	NC	GND	PXI_TRIG7	GND
8	GND	NC	GND	NC	NC	PXI_LBR6	GND
Pin	Z	A	B	C	D	E	F

5.2 PXIe 外设插槽(Slot #2~3)引脚分配

5.2.1 XP4 信号定义

XP4 接口对应插槽(Slot #2~Slot #3)的 J9、J11，其信号定义为：

Pin	Z	A	B	C	D	E	F
1	GND	GND	GND	GND	NC	GND	GND
2	GND	5Vaux	GND	NC	WAKE#	ALERT#	GND
3	GND	12V	12V	GND	GND	GND	GND
4	GND	GND	NC	3.3V	3.3V	3.3V	GND
5	GND	PXI_TRIG3	PXI_TRIG4	PXI_TRIG5	GND	PXI_TRIG6	GND
6	GND	PXI_TRIG2	GND	NC	PXI_STAR	PXI_CLK10	GND
7	GND	PXI_TRIG1	PXI_TRIG0	NC	GND	PXI_TRIG7	GND
8	GND	NC	GND	NC	PXI_LBL6	PXI_LBR6	GND
Pin	Z	A	B	C	D	E	F

5.2.2 XP3 信号定义

XP3 接口对应插槽(Slot #2~Slot #3)的 J10、J12，其信号定义为：

Pin	A	B	ab	C	D	cd	E	F	ef
1	NC	NC	GND	NC	NC	GND	NC	NC	GND
2	NC	GND	GND	NC	NC	GND	NC	NC	GND
3	SMBDAT	SMBCLK	GND	NC	NC	GND	NC	NC	GND
4	NC	PERST#	GND	NC	NC	GND	1RefClk+	1RefClk-	GND
5	1PETp0	1PETn0	GND	1PERp0	1PERn0	GND	1PETp1	1PETn1	GND
6	1PETp2	1PETn2	GND	1PERp2	1PERn2	GND	1PERp1	1PERn1	GND
7	1PETp3	1PETn3	GND	1PERp3	1PERn3	GND	1PETp4	1PETn4	GND
8	1PETp5	1PETn5	GND	1PERp5	1PERn5	GND	1PERp4	1PERn4	GND
9	1PETp6	1PETn6	GND	1PERp6	1PERn6	GND	1PETp7	1PETn7	GND

10	NC	NC	GND	NC	NC	GND	1PERp7	1PERn7	GND
Pin	A	B	ab	C	D	cd	E	F	ef

5.3 PXI 混合外设槽(Slot #4) 引脚分配

5.3.1 P1(J14)信号定义

Pin	Z	A	B	C	D	E	F
25	GND	5V	REQ64#	ENUM#	3.3V	5V	GND
24	GND	AD[1]	5V	V(I/O)	AD[0]	ACK64#	GND
23	GND	3.3V	AD[4]	AD[3]	5V	AD[2]	GND
22	GND	AD[7]	GND	3.3V	AD[6]	AD[5]	GND
21	GND	3.3V	AD[9]	AD[8]	M66EN	C/BE[0]#	GND
20	GND	AD[12]	GND	V(I/O)	AD[11]	AD[10]	GND
19	GND	3.3V	AD[15]	AD[14]	GND	AD[13]	GND
18	GND	SERR#	GND	3.3V	PAR	C/BE[1]#	GND
17	GND	3.3V	IPMB_SCL	IPMB_SDA	GND	PERR#	GND
16	GND	DEVSEL#	GND	V(I/O)	STOP#	LOCK#	GND
15	GND	3.3V	FRAME#	IRDY#	GND	TRDY#	GND
12-14	Keying Area						
11	GND	AD[18]	AD[17]	AD[16]	GND	C/BE[2]#	GND
10	GND	AD[21]	GND	3.3V	AD[20]	AD[19]	GND
9	GND	C/BE[3]#	IDSEL	AD[23]	GND	AD[22]	GND
8	GND	AD[26]	GND	V(I/O)	AD[25]	AD[24]	GND
7	GND	AD[30]	AD[29]	AD[28]	GND	AD[27]	GND
6	GND	REQ#	GND	3.3V	CLK	AD[31]	GND
5	GND	BRSV1A5	BRSVP1B5	RST#	GND	GNT#	GND
4	GND	3.3V	HEALTHY#	V(I/O)	INTP	INTS	GND
3	GND	INTA#	INTB#	INTC#	5V	INTD#	GND
2	GND	TCK	5V	TMS	NC	NC	GND
1	GND	5V	-12V	TRST#	+12V	5V	GND
Pin	Z	A	B	C	D	E	F

5.3.2 P2(J13)信号定义

Pin	Z	A	B	C	D	E	F
22	GND	GND	GND	NC	GND	GND	GND
21	GND	PXI_LBR0	NC	PXI_LBR1	PXI_LBR2	PXI_LBR3	GND
20	GND	PXI_LBR4	PXI_LBR5	NC	GND	NC	GND
19	GND	NC	NC	NC	NC	NC	GND
18	GND	PXI_TRIG3	PXI_TRIG4	PXI_TRIG5	GND	PXI_TRIG6	GND
17	GND	PXI_TRIG2	GND	NC	PXI_STAR	PXI_CLK10	GND

16	GND	PXI_TRIG1	PXI_TRIG0	NC	GND	PXI_TRIG7	GND
15	GND	PXI_BRSVA15	GND	NC	PXI_LBL6	PXI_LBR6	GND
14	GND	NC	NC	NC	GND	NC	GND
13	GND	NC	GND	V(I/O)	NC	NC	GND
12	GND	NC	NC	NC	GND	NC	GND
11	GND	NC	GND	V(I/O)	NC	NC	GND
10	GND	NC	NC	NC	GND	NC	GND
9	GND	NC	GND	V(I/O)	NC	NC	GND
8	GND	NC	NC	NC	GND	NC	GND
7	GND	NC	GND	V(I/O)	NC	NC	GND
6	GND	NC	NC	NC	GND	NC	GND
5	GND	NC	GND	V(I/O)	NC	NC	GND
4	GND	V(I/O)	PXI_BRSVB4	NC	GND	NC	GND
3	GND	PXI_LBR7	GND	PXI_LBR8	PXI_LBR9	PXI_LBR10	GND
2	GND	PXI_LBR11	PXI_LBR12	NC	NC	NC	GND
1	GND	NC	GND	NC	NC	NC	GND
Pin	Z	A	B	C	D	E	F

5.4 PXI 外设槽(Slot #5~ Slot #9)引脚分配

5.4.1 P1(J27、J25、J19、J21、J23)信号定义

Pin	Z	A	B	C	D	E	F
25	GND	5V	REQ64#	ENUM#	3.3V	5V	GND
24	GND	AD[1]	5V	V(I/O)	AD[0]	ACK64#	GND
23	GND	3.3V	AD[4]	AD[3]	5V	AD[2]	GND
22	GND	AD[7]	GND	3.3V	AD[6]	AD[5]	GND
21	GND	3.3V	AD[9]	AD[8]	M66EN	C/BE[0]#	GND
20	GND	AD[12]	GND	V(I/O)	AD[11]	AD[10]	GND
19	GND	3.3V	AD[15]	AD[14]	GND	AD[13]	GND
18	GND	SERR#	GND	3.3V	PAR	C/BE[1]#	GND
17	GND	3.3V	IPMB_SCL	IPMB_SDA	GND	PERR#	GND
16	GND	DEVSEL#	GND	V(I/O)	STOP#	LOCK#	GND
15	GND	3.3V	FRAME#	IRDY#	GND	TRDY#	GND
12-14	Keying Area						
11	GND	AD[18]	AD[17]	AD[16]	GND	C/BE[2]#	GND
10	GND	AD[21]	GND	3.3V	AD[20]	AD[19]	GND
9	GND	C/BE[3]#	IDSEL	AD[23]	GND	AD[22]	GND
8	GND	AD[26]	GND	V(I/O)	AD[25]	AD[24]	GND
7	GND	AD[30]	AD[29]	AD[28]	GND	AD[27]	GND
6	GND	REQ#	GND	3.3V	CLK	AD[31]	GND
5	GND	BRSV1A5	BRSVP1B5	RST#	GND	GNT#	GND

4	GND	3.3V	HEALTHY#	V(I/O)	INTP	INTS	GND
3	GND	INTA#	INTB#	INTC#	5V	INTD#	GND
2	GND	TCK	5V	TMS	NC	NC	GND
1	GND	5V	-12V	TRST#	+12V	5V	GND
Pin	Z	A	B	C	D	E	F

5.3.2 P2(J26、J24、J18、J20、J22)信号定义

Pin	Z	A	B	C	D	E	F
22	GND	GND	GND	NC	GND	NC	GND
21	GND	PXI_LBR0	NC	PXI_LBR1	PXI_LBR2	PXI_LBR3	GND
20	GND	PXI_LBR4	PXI_LBR5	PXI_LBL0	GND	PXI_LBL1	GND
19	GND	PXI_LBL2	NC	PXI_LBL3	PXI_LBL4	PXI_LBL5	GND
18	GND	PXI_TRIG3	PXI_TRIG4	PXI_TRIG5	GND	PXI_TRIG6	GND
17	GND	PXI_TRIG2	GND	NC	PXI_STAR	PXI_CLK10	GND
16	GND	PXI_TRIG1	PXI_TRIG0	NC	GND	PXI_TRIG7	GND
15	GND	PXI_BRSA15	GND	NC	PXI_LBL6	PXI_LBR6	GND
14	GND	NC	NC	NC	GND	NC	GND
13	GND	NC	GND	V(I/O)	NC	NC	GND
12	GND	NC	NC	NC	GND	NC	GND
11	GND	NC	GND	V(I/O)	NC	NC	GND
10	GND	NC	NC	NC	GND	NC	GND
9	GND	NC	GND	V(I/O)	NC	NC	GND
8	GND	NC	NC	NC	GND	NC	GND
7	GND	NC	GND	V(I/O)	NC	NC	GND
6	GND	NC	NC	NC	GND	NC	GND
5	GND	NC	GND	V(I/O)	NC	NC	GND
4	GND	V(I/O)	PXI_BRSVB 4	NC	GND	NC	GND
3	GND	PXI_LBR7	GND	PXI_LBR8	PXI_LBR9	PXI_LBR10	GND
2	GND	PXI_LBR11	PXI_LBR12	NC	PXI_LBL7	PXI_LBL8	GND
1	GND	PXI_LBL9	GND	PXI_LBL10	PXI_LBL11	PXI_LB12	GND
Pin	Z	A	B	C	D	E	F

6 背板连接器说明

6.1 ATX 直流电源接口

J4: 24Pin ATX 电源接口，其信号定义为：

引脚	信号	引脚	信号
1	+3.3V	13	+3.3V
2	+3.3V	14	-12V
3	GND	15	GND
4	+5V	16	PS_ON
5	GND	17	GND
6	+5V	18	GND
7	GND	19	GND
8	NC	20	NC
9	+5VSTB	21	+5V
10	+12V	22	+5V
11	+12V	23	+5V
12	+3.3V	24	GND

6.2 ATX 12V 电源接口

J3: 8Pin ATX 12V 电源接口，其信号定义为：

引脚	信号	引脚	信号
1	GND	5	+12V
2	GND	6	+12V
3	GND	7	+12V
4	GND	8	+12V

6.3 远程监控接口

J2: 远程监控接口，其引脚定义为：

引脚	信号	引脚	信号
1	GND	2	+12V
3	+5V	4	NC
5	NC	6	-12V
7	+3.3V	8	GND
9	EXT_INHIBIT	10	NC

6.4 报警指示灯接口

CN2: 报警指示灯接口，其引脚定义为：

引脚	定义	引脚	定义
1	ALERT_TEMP_LED+	4	ALERT_FAN_LED-
2	ALERT_TEMP_LED-	5	ALERT_PWR_LED+
3	ALERT_FAN_LED+	6	ALERT_PWR_LED-

6.5 系统 Button 接口

CN3: 系统 Button 接口, 其引脚定义为:

引脚	定义
1	GND
2	CHASSIS_Button

6.6 系统 RST Button 接口

CN1: 系统 Button 接口, 其引脚定义为:

引脚	定义
1	GND
2	CHASSIS_RST_Button

6.7 模式控制接口

J1: 该接口为风扇与电源模式控制接口, 其引脚定义为:

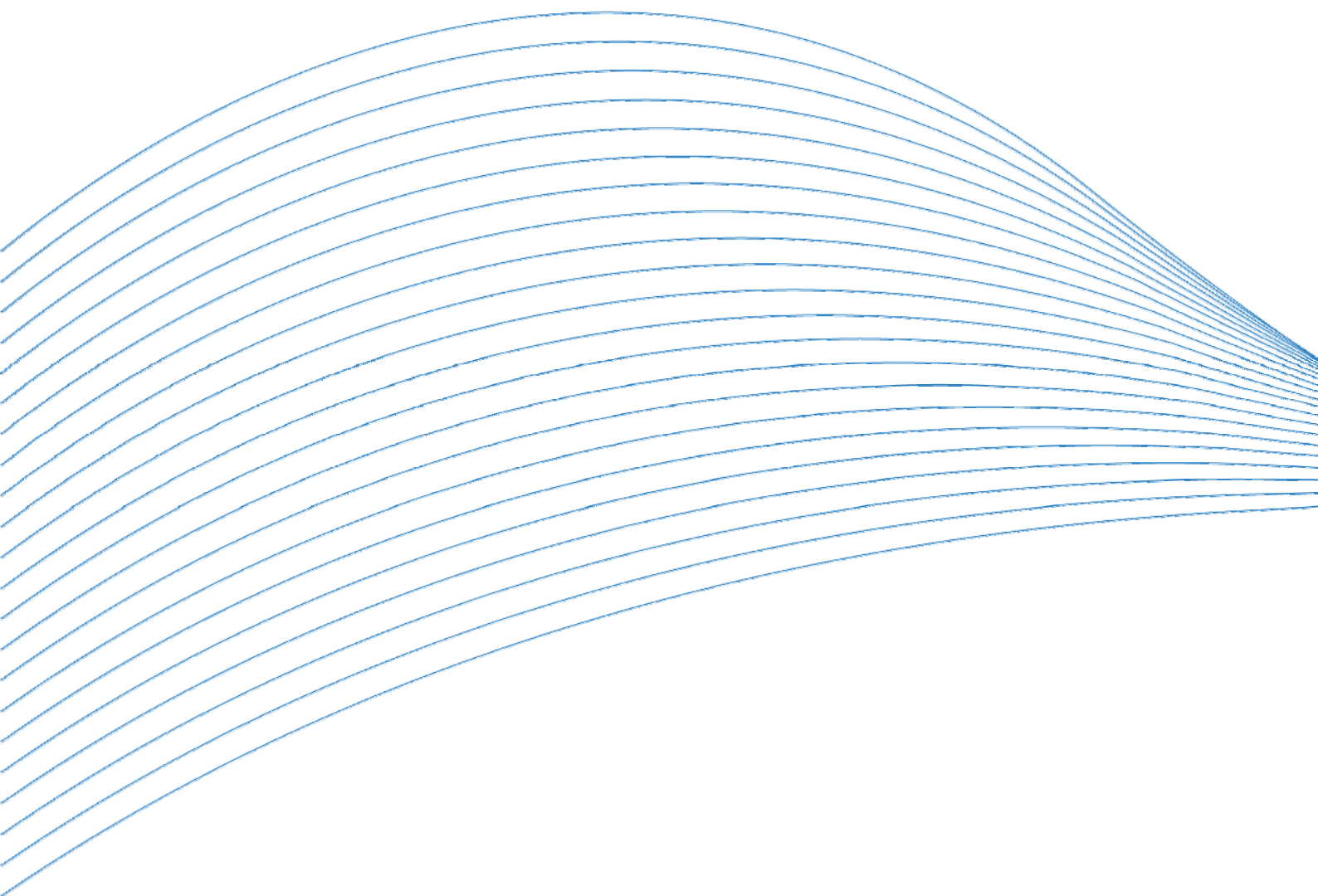
引脚	信号
1	FAN_MODE_CTRT
2	GND
3	INHIBIT_MODE_CTRL
4	GND

风扇模式选择: 断开 1、2 引脚, 为 Auto 模式;
短接 1、2 引脚, 为 Manual 模式。
电源模式选择: 断开 3、4 引脚, 为 Default 模式;
短接 3、4 引脚, 为 Manual 模式。

6.8 调速风扇接口

CN4/CN5: 调速风扇接口, 其信号定义为:

CN8引脚	信号	CN9引脚	信号
1	GND	1	GND
2	+12V	2	+12V
3	FAN1_SPD_SNS	3	FAN2_SPD_SNS
4	FAN1_SPD_CTRL	4	FAN2_SPD_CTRL



阿尔泰科技

服务热线：400-860-3335

网址：www.art-control.com