

FMC-8904 高速ADC卡

产品使用手册

V6.00.00



目 录

■ 1 快速上手	2
1.1 产品包装清单	2
1.2 注意事项	2
1.3 安装与使用要求	2
1.4 板卡使用环境	2
■ 2 产品概述	3
2.1 产品简介	3
2.2 原理框图	3
■ 3 设计与开发	4
3.1 主要性能与指标	4
3.1.1 AI 模拟量输入	4
3.1.2 时钟配置	4
3.1.3 触发输出 (TRIG_OUT)	4
3.2 FMC 连接器	5
3.3 接口描述	5
3.3.1 ADC 输入接口 (CH0~CH3)	5
3.3.2 外部参考/采样时钟输入接口	5
3.3.3 外部触发输出接口	6
3.4 板卡功耗	6
■ 4 设备特性	7
4.1 产品外观图	7
4.2 接口定义	7
4.3 板卡尺寸图	8
■ 5 产品保修	9
5.1 保修	9
5.2 技术支持与服务	9
5.3 返修注意事项	9
■ 附录 A: 缩略语和参考文档	10
■ 附录 B: FMC 引脚信号对应表	11

1 快速上手

本章主要介绍初次使用 FMC-8904 需要了解和掌握的知识，以及需要的相关准备工作，可以帮助用户熟悉 FMC-8904 使用流程，快速上手。

1.1 产品包装清单

打开 FMC-8904 板卡包装后，用户将会发现如下物品：

- FMC-8904 板卡一个。
- 阿尔泰科技软件光盘一张，该光盘包括如下内容：
 - 1)、本公司所有产品软件安装包。
 - 2)、用户手册（PDF 格式电子版文档）。

1.2 注意事项

- 在使用产品前，请务必仔细阅读产品使用手册；
- 对未准备安装使用的产品，应做好防静电保护工作(最好放置在防静电保护袋中，不要将其取出)；
- 在拿出产品前，应将手先置于接地金属物体上，以释放身体及手中的静电，并佩戴静电手套和手环，要养成只触及其边缘部分的习惯；
- 为避免人体被电击或产品被损坏，在每次对产品进行拔插或重新配置时，须断电。

1.3 安装与使用要求

FMC-8904 板卡必须配合 FMC 载板安装使用，FMC 载板必须符合 FMC 标准（ANSI/VITA 57.1）。载板通过 FMC 连接器为 FMC-8904 提供直流 12V 直流电源。板卡安装时，操作人员注意做好静电防护，在无静电防护情况下，请不要直接接触板卡元器件！

FMC-8904 板卡使用的 ADC 转换芯片为 AD9680BCPZ 芯片，输出数据为 LVDS 信号，板卡的控制与状态总线为 LVCMOS 信号。

1.4 板卡使用环境

- ◆ 工作温度范围：0°C ~ 70°C
- ◆ 工作相对湿度范围：10% ~ +90%RH（无结露）
- ◆ 存储相对湿度：5% ~ +95% RH（无结露）
- ◆ 存储温度范围：-20°C ~ +80°C

2 产品概述

本章主要介绍 FMC-8904 的系统组成及基本特性，为用户整体了解 FMC-8904 的相关特性提供参考。

2.1 产品简介

FMC-8904 是基于 ADI 公司的 14bit、1GSPS 双通道模数转换器 AD9680BCPZ-1000 设计的 FMC 子卡，它最大支持四通道模拟量输入，模拟输入范围为 2V_{pp}；板卡支持外部同步触发输入、输出；时钟模式支持内部参考时钟输入、外部参考时钟输入、外部采样时钟输入三种，时钟选择可通过 SPI 总线配置实现。

FMC-8904 板卡通过一个高密度连接器（HPC）连接至 FPGA 载板，前面板接口采用 SSMC 形式射频同轴连接器；电气与机械设计依据 FMC 标准(ANSI/VITA57.1)，适应于多种 FPGA 载板。

2.2 原理框图

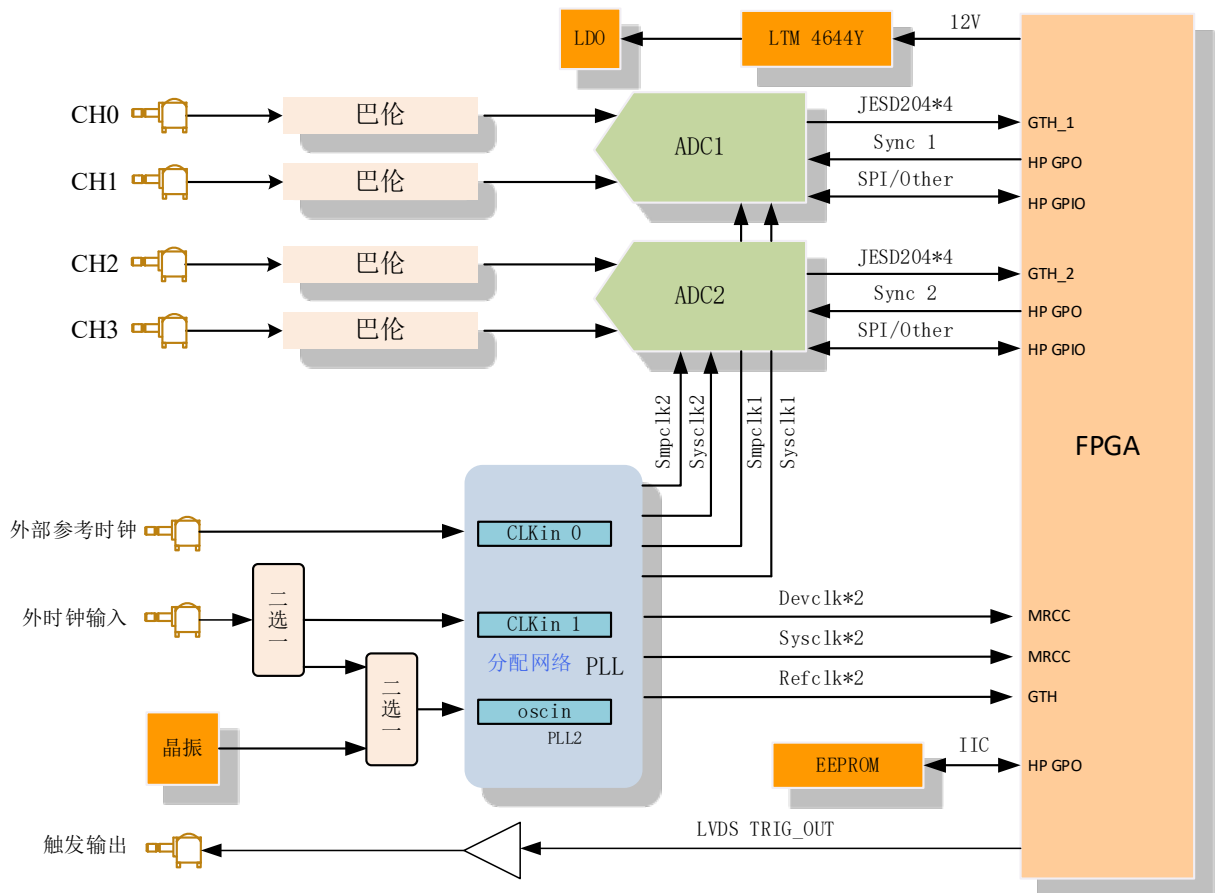


图 3-1-1 FMC-8904 原理框图

3 设计与开发

3.1 主要性能与指标

3.1.1 AI 模拟量输入

模拟量输入 (CH0~CH3)	
通道数	4 通道
ADC 分辨率	14Bit
最大采样速率	1GS/s
输入范围	2Vpp
连接器类型	SSMC
输入阻抗	50Ω
耦合方式	交流耦合
输入信号中心频率	5MHz~500MHz

3.1.2 时钟配置

时钟模式支持内部参考时钟输入、外部参考时钟输入、外部采样时钟输入三种时钟，时钟选择可通过 SPI 总线配置实现。

时钟模块	
内部参考时钟类型	LVDS
参考时钟频率	100MHz
采样时钟	内部 100 MHz 参考时钟，经过 PLL 倍频后，可为 ADC 提供精确的 1GHz 时钟
连接器类型	SSMC
外部参考时钟/外部采样时钟输入	
输入功率	0dBm~+10dBm
输入阻抗	50Ω
连接器类型	SSMC
耦合方式	交流耦合
输入信号中心频率	外部参考时钟：100MHz 正弦波 外部采样时钟：50MHz ~1GHz 正弦波

3.1.3 触发输出 (TRIG_OUT)

触发输出 (TRIG_OUT)	
输出电平标准	LVTTTL/LVCMOS
连接器类型	SSMC
输出频率	最大200MHz

3.2 FMC 连接器

HPC 形式的 FMC 连接器最多能够支持 80 对的 LVDS (160 根 LVTTTL/LVCMOS), 80 对 LVDS 分别从属于 3 个块 (BANK):

- BANK LA: 34 对 LVDS, 其中包含 4 对时钟信号 (CC);
- BANK HA: 24 对 LVDS, 其中包含 3 对时钟信号;
- BANK HB: 22 对 LVDS, 其中包含 3 对时钟信号。

ADC (AD9680BCPZ-1000) 输出	
LVDS数据宽度	8 对 LVDS x 4, DDR;
FMC 连接器类型	HPC (ASP-134488-01)

[FMC 的引脚定义详见 附录 B: FMC 引脚信号对应表](#)

3.3 接口描述

3.3.1 ADC 输入接口 (CH0~CH3)

CH0~CH3 四通道 AI 模拟输入部分主要由输入保护、无源衰减、阻抗变换、差分转化、程控增益放大、ADC 驱动及其低通滤波器等模块组成, 如下图所示:

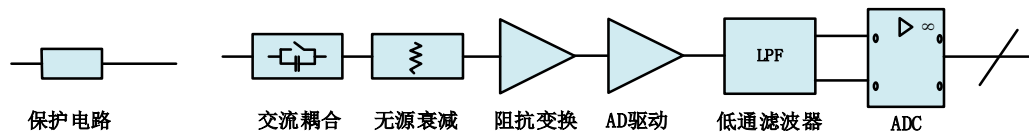


图 3-3-1 AD 功能框图

系统通过耦合、衰减、放大、滤波等一系列调理, 将输入信号调理至 ADC 输入范围, 可实现最高 500MHz 信号的高速采集。

3.3.2 外部参考/采样时钟输入接口

板上时选用 TI 公司的 LMK04828-EP 时钟调节器, 支持 JESD204B, 来自 PLL2 的 14 个时钟输出可配置为使用设备和 SYSREF 时钟驱动七个 JESD204B 转换器或其他逻辑设备。SYSREF 可以使用直流和交流耦合提供。不限于 JESD204B 应用, 14 个输出中的每一个都可以单独配置为传统时钟系统的高性能输出。LMK04828-EP 的高性能与诸如在电源或性能、双 VCO、动态数字延迟、延迟和无故障模拟延迟之间进行权衡的能力相结合, 使其成为提供灵活的高性能时钟树的理想选择。

内部参考时钟默认焊接 100M 晶振, 连到 LMK04828-EP 的 OSCin, OSCin*脚; 外参考时钟连到 CLKin0, CLKin0*脚; 外部采样时钟连到 CLKin1, CLKin1*脚。时钟模块配置通过连接到 FMC 的 SPI 总线实现。

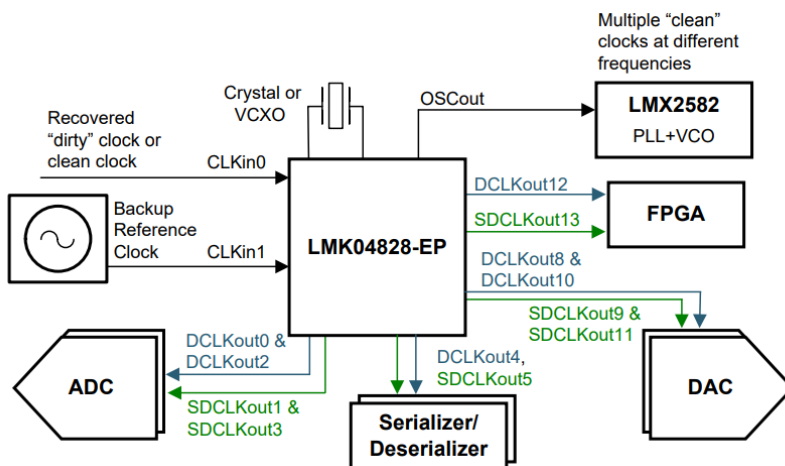


图 3-3-2 LMK04828-EP

3.3.3 外部触发输出接口

触发输出接口输出电平标准为LVCMOS/LVTTL，FPGA输出的LVDS信号经电平转换后，引出FMC到SSMC连接器上。

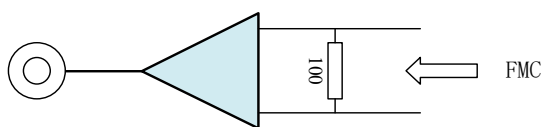


图3-3-3 触发输出原理简图

3.4 板卡功耗

FMC 子卡的电源供给通过 FMC 连接器实现，FMC 连接器每个引脚的标称可供电最大值可达 2.7A。根据 FMC 标准规定，载板为每个 FMC 子卡供电情况如下表所示：

电压	引脚数量	最大电流	最大功率
12V	2	1A	12W

FMC-8904 设计遵循 FMC 标准。对于载板供电系统一般要求尽量小的噪声、波动等，并且供电电压波动范围要求一般在±10%范围内，以保证板卡的稳定正常工作。

4 设备特性

本章主要介绍 FMC-8904 相关的设备特性，包括板卡外观图、接口定义以及尺寸信息，为用户在使用 FMC-8904 过程中提供相关参考。

4.1 产品外观图

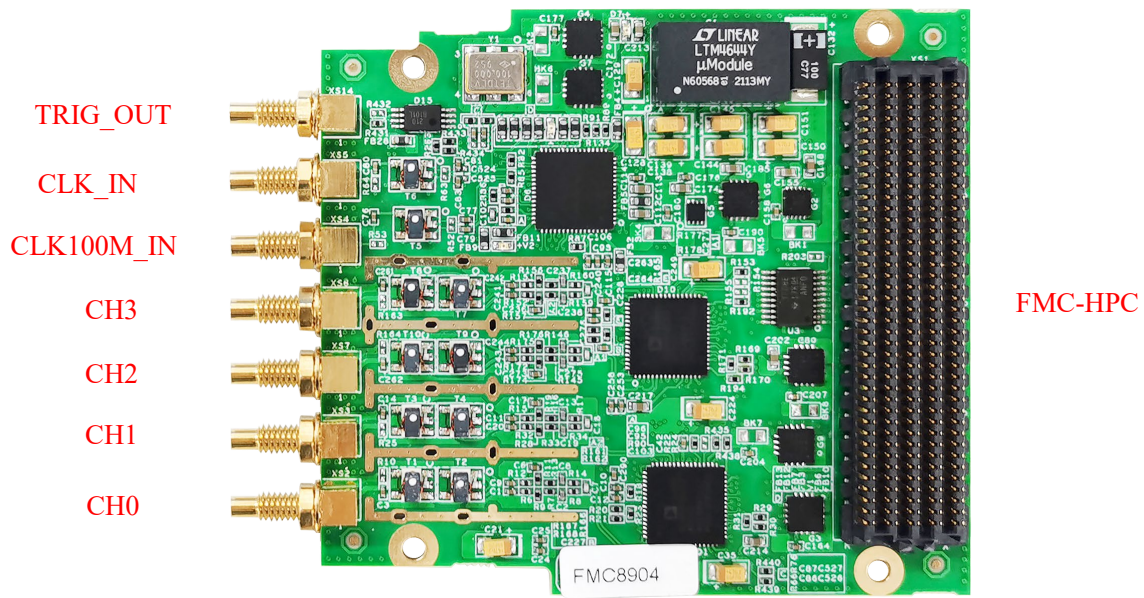


图 4-3-1 FMC-8904 产品外观图

4.2 接口定义

- ◆ TRIG_OUT: 同步触发信号输出端
- ◆ CLK_IN: 外部时钟输入端
- ◆ CLK100M_IN: 外部参考时钟输入端
- ◆ CH3: AI3 模拟量信号输入端
- ◆ CH2: AI2 模拟量信号输入端
- ◆ CH1: AI1 模拟量信号输入端
- ◆ CH0: AI0 模拟量信号输入端
- ◆ FMC-HPC: 高密度连接器（HPC），连接至 FPGA 载板。

4.3 板卡尺寸图

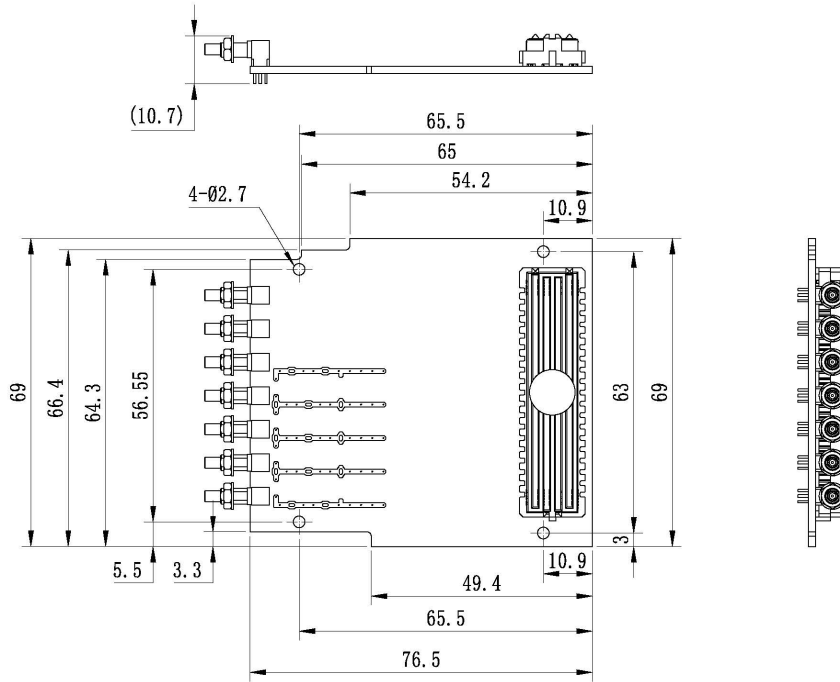


图 4-3-1 FMC-8904 板卡尺寸图

5 产品保修

5.1 保修

产品自出厂之日起，两年内用户凡遵守运输、贮存和使用规则，而质量低于产品标准者公司免费修理。

5.2 技术支持与服务

如果您认为您的产品出现故障，请遵循以下步骤：

- 1)、描述问题现象。
- 2)、收集所遇问题的信息。

如：硬件版本号、软件安装包版本号、用户手册版本号、物理连接、软件界面设置、操作系统、电脑屏幕上不正常信息、其他信息等。

硬件版本号：板卡上的版本号，如 D0189060-00。

软件安装包版本号：安装软件时出现的版本号或在“开始”菜单 → 所有程序 → 阿尔泰测控演示系统 → FMC-8904 中查询。

用户手册版本号：在用户手册中关于本手册中查找，如 V6.00.00

- 3)、打电话给您的供货商，描述故障问题。
- 4)、如果您的产品被诊断为发生故障，我们会尽快为您解决。

5.3 返修注意事项

在公司售出的产品包装中，用户将会找到该产品和这本说明书，同时还有产品质保卡。产品质保卡请用户务必妥善保存，当该产品出现问题需要维修时，请用户将产品质保卡、用户问题描述单同产品一起寄回本公司，以便我们尽快的为您解决问题。

附录 A：缩略语和参考文档

◆ 缩略语

FMC: FPGA Mezzanine Card的缩写；即FPGA夹层卡。

ADC: Analog to Digital Converter的缩写，即模拟到数字转换器。

FPGA: Field Programmable Gate Array的缩写，即现场可编程逻辑门阵列。

CPLD: Complex Programmable Logic Device的缩写，即复杂可编程逻辑设备。

JTAG: Joint Test Action Group的缩写，即联合测试行动小组。

LVDS: Low Voltage Differential Signaling的缩写，即低压差分信号。

LVTTL: Low Voltage Transistor Logic level的缩写，低压晶体管式逻辑电平。

SPI: Serial Peripheral Interface的缩写，即串行外设接口。

HPC: High Pin Count的缩写，即高管脚数量。

LPC: Low Pin Count 的缩写，即低管脚数量。

◆ 参考文档

FPGA Mezzanine Card (FMC) standard ANSI/VITA 57.1-2008

数据手册 AD9680BCPZ-1000，亚德诺半导体公司（ADI）

数据手册 LMK04828-EP，德州仪器（TI）

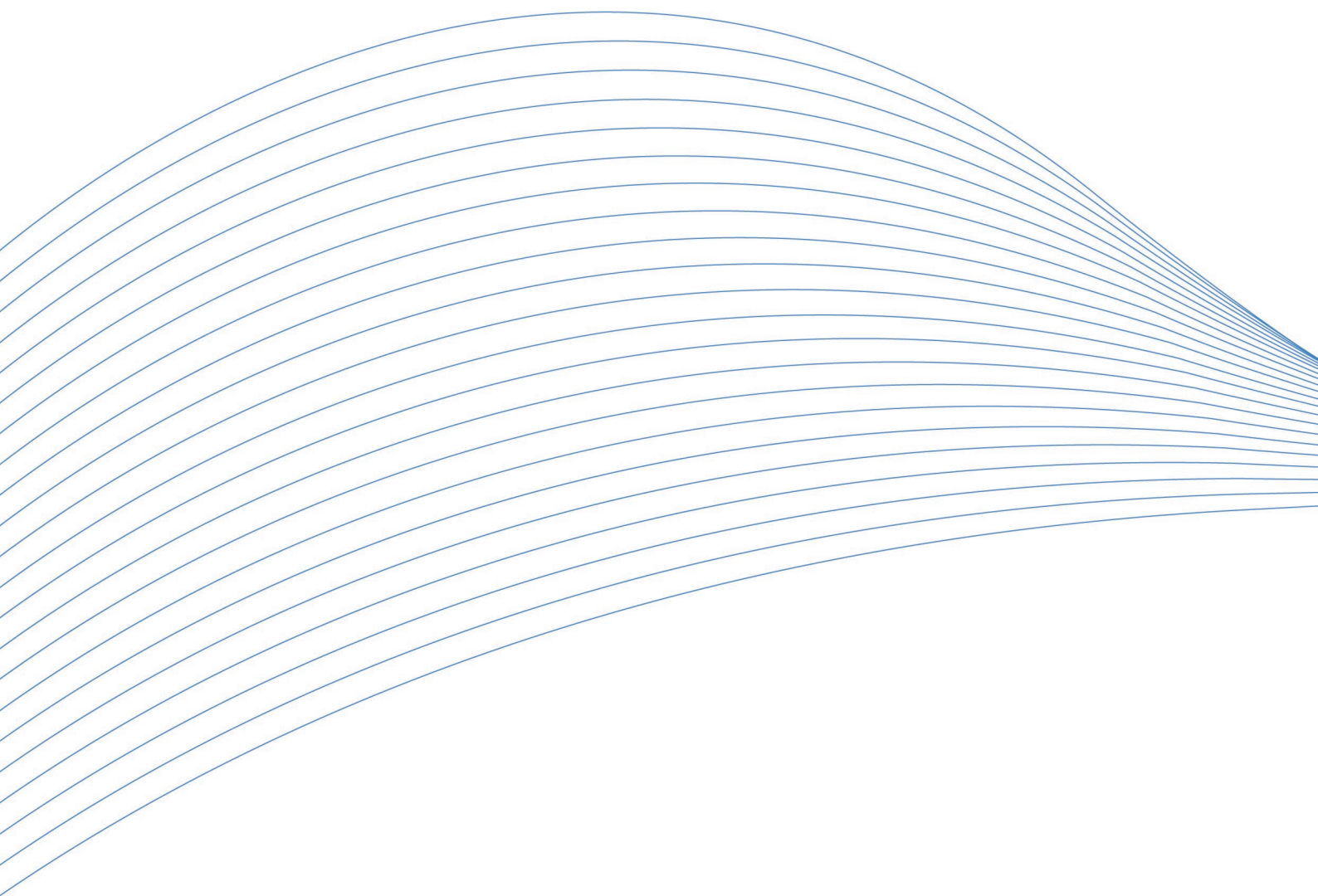
数据手册 LTM4644，凌力尔特（LINEAR）

附录 B：FMC 引脚信号对应表

表：FMC-8904 板卡 FMC 引脚信号对应表

ADC 信号	FMC 信号	FMC 引脚	说明
CLK_100M+	CLK0_M2C_P	H4	时钟模块输出给 FPGA 的 100M 时钟
CLK_100M+	CLK0_M2C_N	H5	
SCLKOUT4_P	LA10_P	C14	Sysclk*2
SCLKOUT4_N	LA10_N	C15	
SCLKOUT5_P	LA04_P	H10	
SCLKOUT5_N	LA04_N	H11	
CLKOUT2_P	GBTCLK0_M2C_P	D4	Refclk*2
CLKOUT2_N	GBTCLK0_M2C_N	D5	
CLKOUT3_P	GBTCLK1_M2C_P	B20	
CLKOUT3_N	GBTCLK1_M2C_N	B21	
CLKOUT4_P	LA00_P_CC	G6	Devclk*2
CLKOUT4_N	LA00_N_CC	G7	
CLKOUT5_P	LA01_P_CC	D8	
CLKOUT5_N	LA01_N_CC	D9	
FMC_HPC_PG_M2C	PG_M2C	F1	
F_VCXO_OE	LA03_P	G9	+12V 电源输入
83026_OE	LA25_P	G27	
TRIG_OUT_P	LA22_P	G24	触发输出
TRIG_OUT_N	LA22_N	G25	
LMK04828			
LMK04828_SDO	LA03_N	G10	SPI 串行数据输出
LMK04828_SCLK	LA08_P	G12	SPI 串行时钟
LMK04828_CS	LA08_N	G13	SPI 片选信号
LMK04828_SYNC	LA12_P	G15	用于请求连续的同步输入
LMK04828_RST	LA12_N	G16	复位信号输入
LMK04828_SELO	LA16_P	G18	输入时钟类型选择
LMK04828_SEL1	LA16_N	G19	
LMK04828_SELO	LA20_P	G21	
LMK04828_SEL1	LA20_N	G22	
AD0			
AD0_SYNCINB+	LA02_P	H7	JESD204B LVDS 低电平有效同步输入(-/+)
AD0_SYNCINB-	LA02_N	H8	
AD0_SERDES_OUT0+	DP0_M2C_P	C6	数字通道 0~3 数据输出 (SERDOUTx±、x = 0 至 3)
AD0_SERDES_OUT0-	DP0_M2C_N	C7	
AD0_SERDES_OUT1+	DP1_M2C_P	A2	
AD0_SERDES_OUT1-	DP1_M2C_N	A3	
AD0_SERDES_OUT2+	DP2_M2C_P	A6	
AD0_SERDES_OUT2-	DP2_M2C_N	A7	

AD0_SERDES_OUT3+	DP3_M2C_P	A10	
AD0_SERDES_OUT3-	DP3_M2C_N	A11	
AD0_SDI	LA06_P	C10	SPI串行数据输入
AD0_CLK	LA27_P	C26	SPI串行时钟
AD0_CS	LA27_N	C27	SPI片选(低电平有效)
AD0_PDWN	LA14_P	C18	掉电输入(高电平有效)。此引脚的操作取决于SPI模式,可配置为掉电或待机
AD0_SDO	LA06_N	C11	SPI 串行数据输出
AD0_FD_B	LA14_N	C19	COMS 输出
AD0_FD_A	LA18_P_CC	C22	通道 A 和通道 B 的快速检测输出
AD1			
AD1_SYNCINB+	LA07_P	H13	JESD204B LVDS 低电平有效同步输入(-/+)
AD1_SYNCINB-	LA07_N	H14	
AD1_SERDES_OUT0+	DP4_M2C_P	A14	数字通道 0~3 数据输出 (SERDOUTx±、x = 0 至 3)
AD1_SERDES_OUT0-	DP4_M2C_N	A15	
AD1_SERDES_OUT1+	DP5_M2C_P	A18	
AD1_SERDES_OUT1-	DP5_M2C_N	A19	
AD1_SERDES_OUT2+	DP6_M2C_P	B16	
AD1_SERDES_OUT2-	DP6_M2C_N	B17	
AD1_SERDES_OUT3+	DP7_M2C_P	B12	
AD1_SERDES_OUT3-	DP7_M2C_N	B13	
AD1_SDI	LA13_N	D18	SPI串行数据输入
AD1_CLK	LA05_P	D11	SPI串行时钟
AD1_CS	LA05_N	D12	SPI片选(低电平有效)
AD1_PDWN	LA09_P	D14	掉电输入(高电平有效)。此引脚的操作取决于SPI模式,可配置为掉电或待机
AD1_SDO	LA17_P_CC	D20	SPI 串行数据输出
AD1_FD_B	LA09_N	D15	COMS 输出
AD1_FD_A	LA13_P	D17	通道 A 和通道 B 的快速检测输出



阿尔泰科技

服务热线: 400-860-3335

网址: www.art-control.com