

PXIe-3309E1 3U 9槽 PXI Express 背板

产品使用手册

R1.00.04



前言

版权归北京阿尔泰科技发展有限公司所有，未经许可，不得以机械、电子或其它任何方式进行复制。本公司保留对此手册更改的权利，产品后续相关变更时，恕不另行通知。

■ 免责声明

订购产品前，请向厂家或经销商详细了解产品性能是否符合您的需求。

正确的运输、储存、组装、装配、安装、调试、操作和维护是产品安全、正常运行的前提。本公司对于任何因安装、使用不当而导致的直接、间接、有意或无意的损坏及隐患概不负责。

■ 安全使用小常识

1. 在使用产品前，请务必仔细阅读产品使用手册；
2. 对未准备安装使用的产品，应做好防静电保护工作(最好放置在防静电保护袋中，不要将其取出)；
3. 在拿出产品前，应将手先置于接地金属物体上，以释放身体及手中的静电，并佩戴静电手套和手环，要养成只触及其边缘部分的习惯；
4. 为避免人体被电击或产品被损坏，在每次对产品进行拔插或重新配置时，须断电；
5. 在需对产品进行搬动前，务必先拔掉电源；
6. 对整机产品，需增加/减少板卡时，务必断电；
7. 当您需连接或拔除任何设备前，须确定所有的电源线事先已被拔掉；
8. 为避免频繁开关机对产品造成不必要的损伤，关机后，应至少等待 30 秒后再开机。

目 录

■ 1	总线结构	3
■ 2	技术参数	3
■ 3	背板架构图	4
■ 4	背板槽位电流容量	4
■ 5	拓扑结构	5
■ 6	背板视图	7
6.1	背板顶视图(尺寸单位: mm)	7
6.2	背板底视图	7
■ 6	引脚分配	8
7.1	PX1e 系统插槽(Slot #1) 引脚分配	8
7.1.1	XJ1(J6)信号定义	8
7.1.2	XP2(J5)信号定义	8
7.1.3	XP3(J4)信号定义	8
7.1.4	XP4(J3)信号定义	9
7.2	定时触发插槽(Slot#5) 引脚分配	9
7.2.1	XP4(J57)信号定义	9
7.2.2	XP3(J58)信号定义	9
7.2.3	TP2(J59)信号定义	10
7.2.3	TP1(J60)信号定义	10
7.3	PX1e 混合外设插槽引脚分配	11
7.3.1	P1 信号定义	11
7.3.2	XP3 信号定义	11
7.3.3	XP4 信号定义	12
■ 8	背板连接器说明	13
8.1	ATX 直流电源接口	13
8.2	ATX 12V 电源接口	13
8.3	远程监控接口	13
8.4	报警指示灯接口	13
8.5	系统 PWR_Button 接口	14
8.7	模式控制接口	14
8.8	外部 10M 时钟输入输出接口	14
8.9	风扇电源	14

1 总线结构

PXIe Slot								
1	2	3	4	5	6	7	8	9
PXIe 系统槽	PXIe 混合外设槽			PXIe_Timing 槽	PXIe 混合外设槽			

2 技术参数

9 个槽：1 个系统插槽、1 个定时触发槽、7 个 PXIe 混合外设插槽

外观尺寸 (mm)：268.24×151.25×3.2 (宽度×高度×厚度)

数据吞吐量：系统槽支持 4LINK，最大吞吐量为 8GB

设备槽支持 PCIe x4，最大吞吐量为 2GB

时钟：外部 10M 时钟输入/输出接口

板载 10M 同步时钟，100M 同步时钟

V (I/O)：可选为+3.3V 或+5V (默认为+5V)

电源连接器：1 个 ATX24+8 电源接口

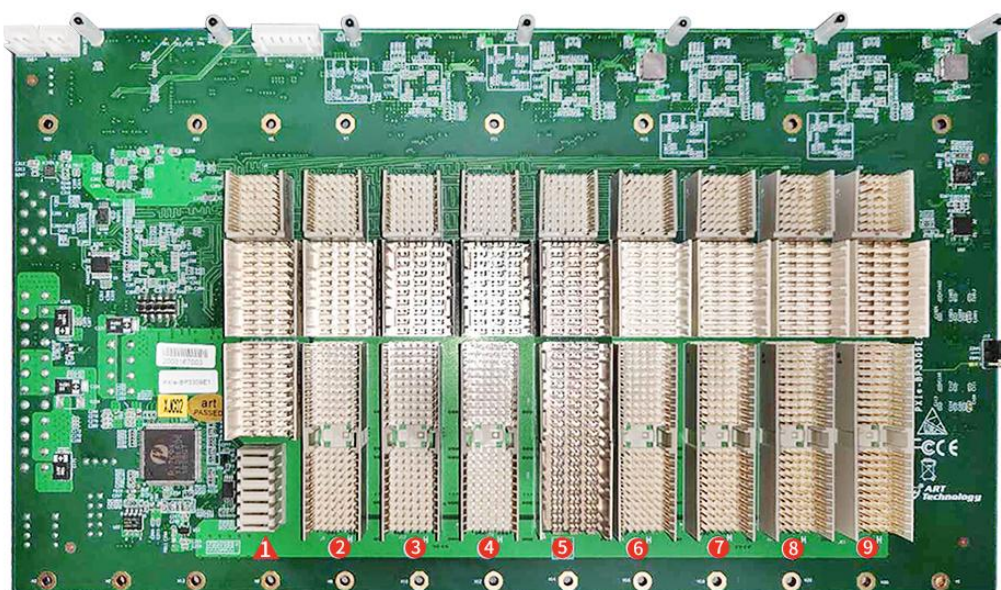
风扇调速及电源控制接口

背板上功率最大的电压降：<20mV

阻抗：65ohm ±10%用于跟踪

工作温度：0°C~+70°C

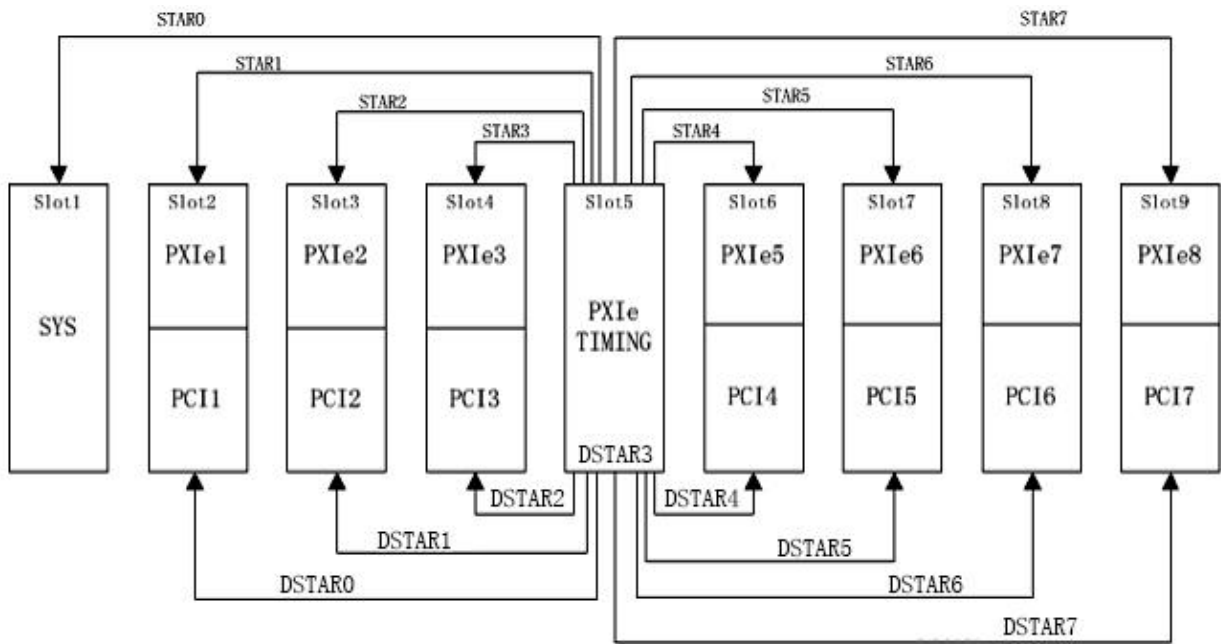
存放温度：-40°C~+85°C



① PXIe系统槽 (插PXIe控制器) ⑤ 定时槽 (插定时卡/PXIe卡)

②③④⑥⑦⑧⑨ PXIe混合槽 (插PXI、PXIe、CPCI、CPCIE卡)

3 背板架构图



4 背板槽位电流容量

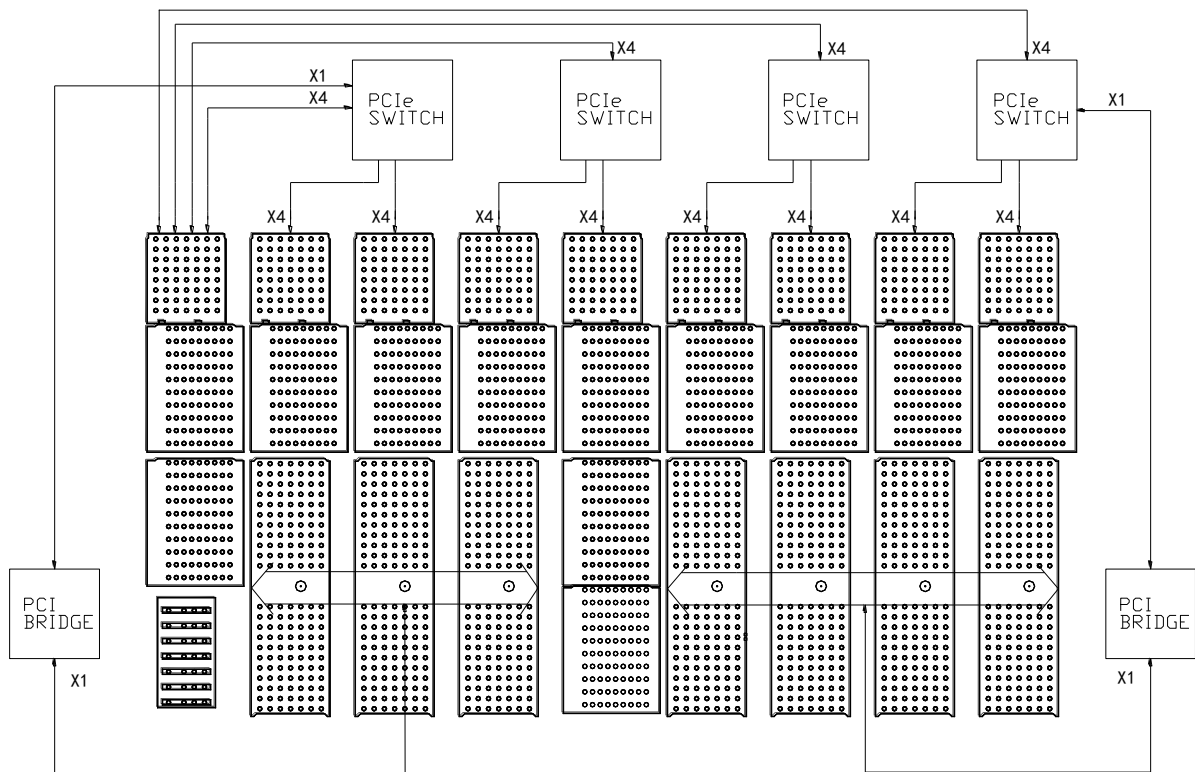
槽位	+5V	V(I/O)	+3.3V	+12V	-12V	5V _{AUX}
系统控制器槽位	15A	—	15A	30A	—	1A
系统触发槽	—	—	6A	4A	—	1A
带有 PXI-1 外设的混合外设插槽	6A	5A	6A	1A	1A	—
PXI Express 外设插槽	—	—	3A	3A	—	1A

注：系统槽位总电流不能超过 45A，系统槽位的最大功耗不超过 140W。

外设槽的 PCI V(I/O) 引脚连接到+ 5V。

外设槽位的最大功耗不超过 38.25 W。

5 拓扑结构

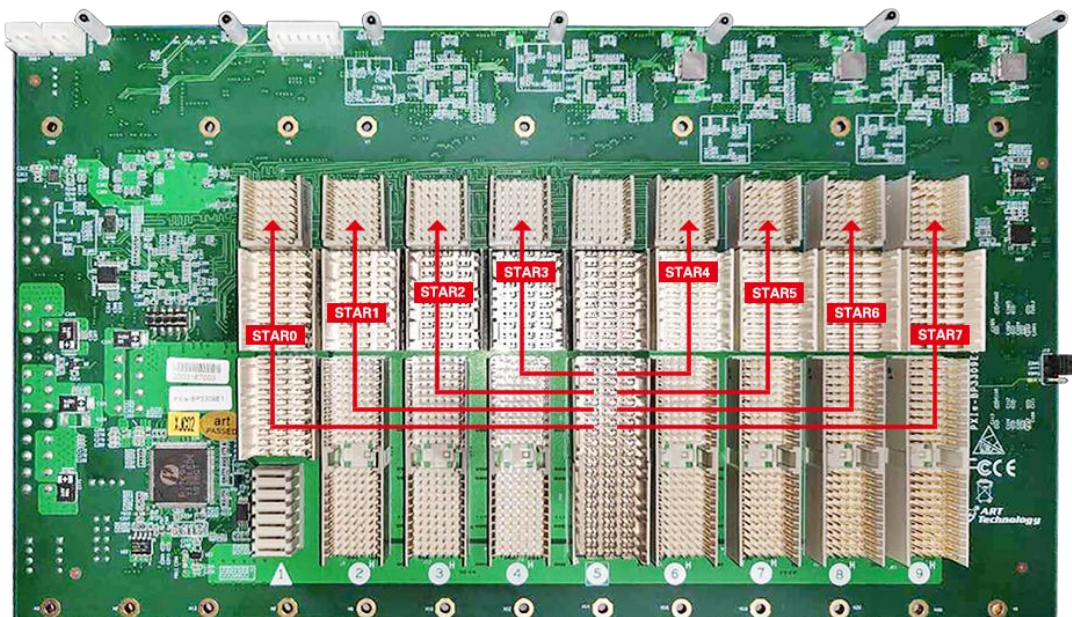


PXI Express System Controller 插槽

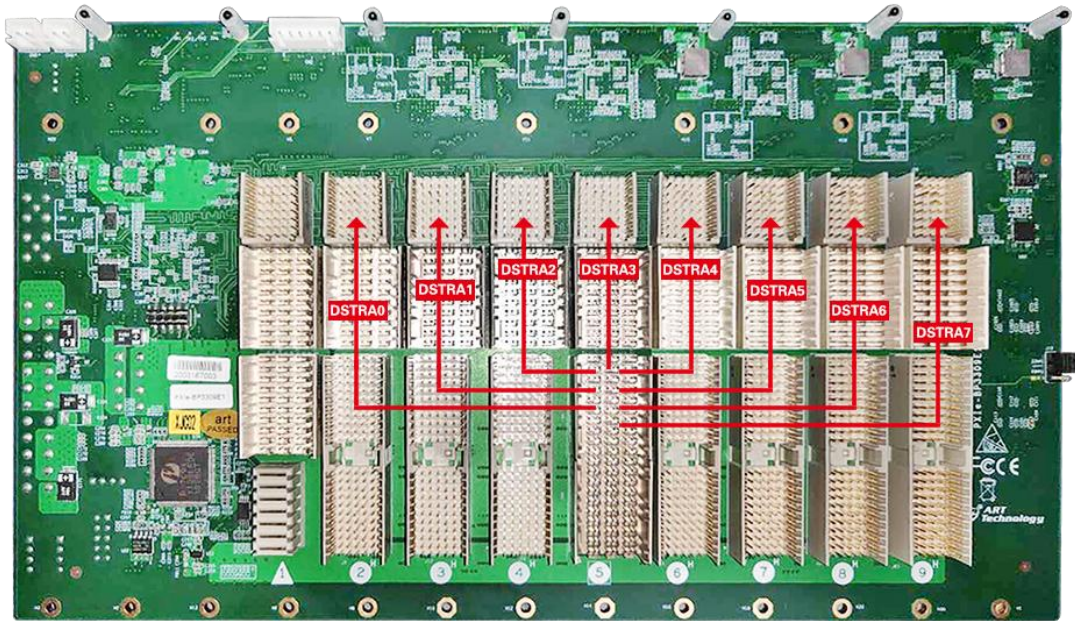
System Controller 插槽通过 PXI 规范来定义。PXIe-BP3309E1 背板可提供一个占用高度达 4 插槽的 PXI Express 系统控制器。由于在 PXI 规范定义中，3 个控制器扩充插槽允许控制器扩展到左侧防止控制器用尽外设插槽。

PXI Express System Timing 插槽

System Timing 是插槽 5，提供了一个专用的单端星形触发和 3 对差分星形触发线给外围插槽。单端星形 TRIG-GER 信号 (PXI_STAR) 如下：



差分星形触发信号 (PXIe_DSTAR) 如下:



星形触发功能由安装的ST时隙的特定星形触发控制器模块提供了精确地触发信号给外围模块。如果不需要星形触发功能，星形触发插槽也可以作为一般的 PXI Express 外设插槽。

PXI Express Hybrid 插槽

PXIeC-7309E1 提供 7 个外设插槽, 每个都是 PXI Express 混合插槽, 每个都可以提供一个 3U PXI Express/CompactPCI Express/hybrid 插槽兼容的 PXI-1/compactPCI 外围模块。

本地总线

PXI 背板是由左右相邻的外围插槽连接各自的外围插槽的菊花链状总线, 在 PXI Express 背板当地总线的数量由 12 减少至 1, 在模块之间传输模拟信号或数字信号。

触发总线

触发总线是一个 8 行总线, 连接 PXIeC-7309E1 上的所有插槽, 提供模块间的同步。PXI 和 PXI Express 模块通过触发总线可以交换触发或时钟信号, 允许定时响应以控制外部事件的发生。

参考时钟

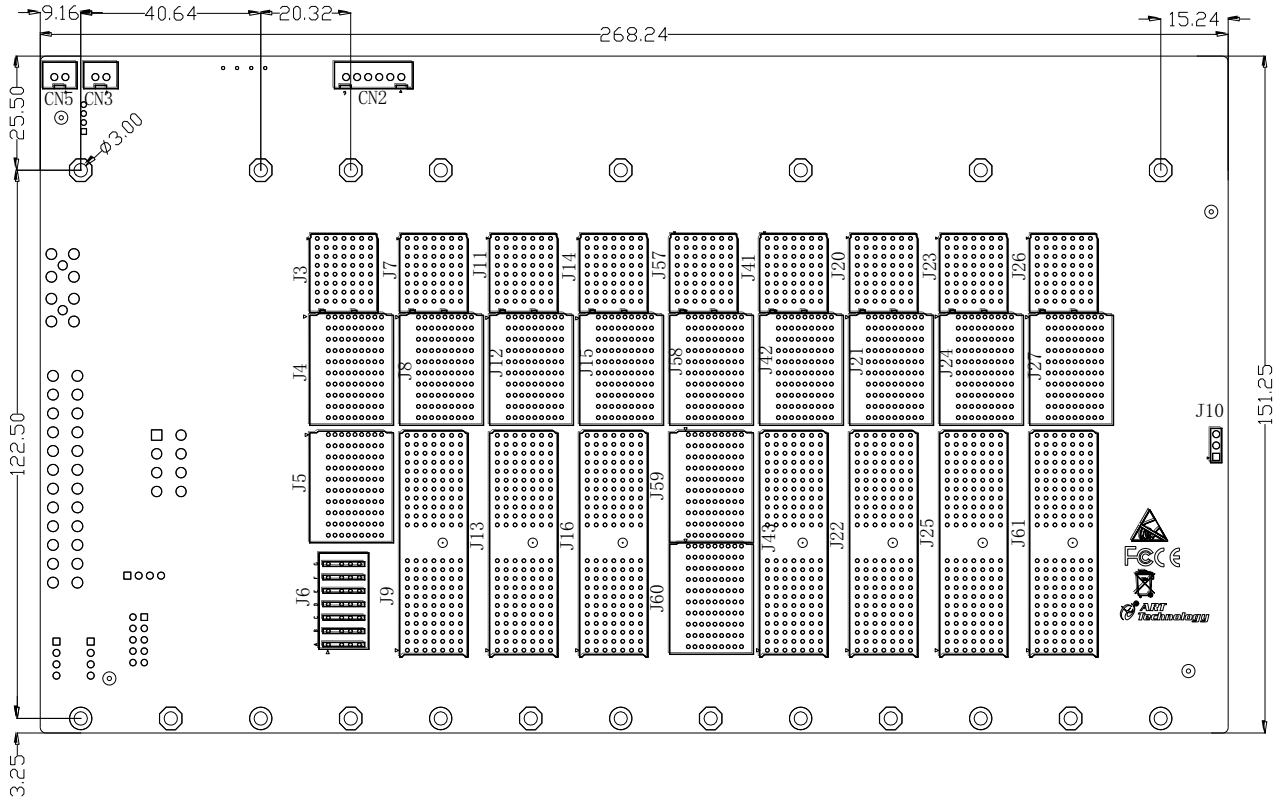
PXIeC-7309E1 背板同一时间内为每个外围插槽模块提供单端 10MHz 参考时钟 (PXI_CLK10) 和 100MHz 差分时钟 (PXIe_CLK100), 独立缓冲器驱动时钟信号到每个外围槽。

这些共同的参考时钟信号可以在 PXI Express 机箱同步若干模块, PXI 模块与锁相环电路可以锁定参考时钟, 以产生一个同相时基。

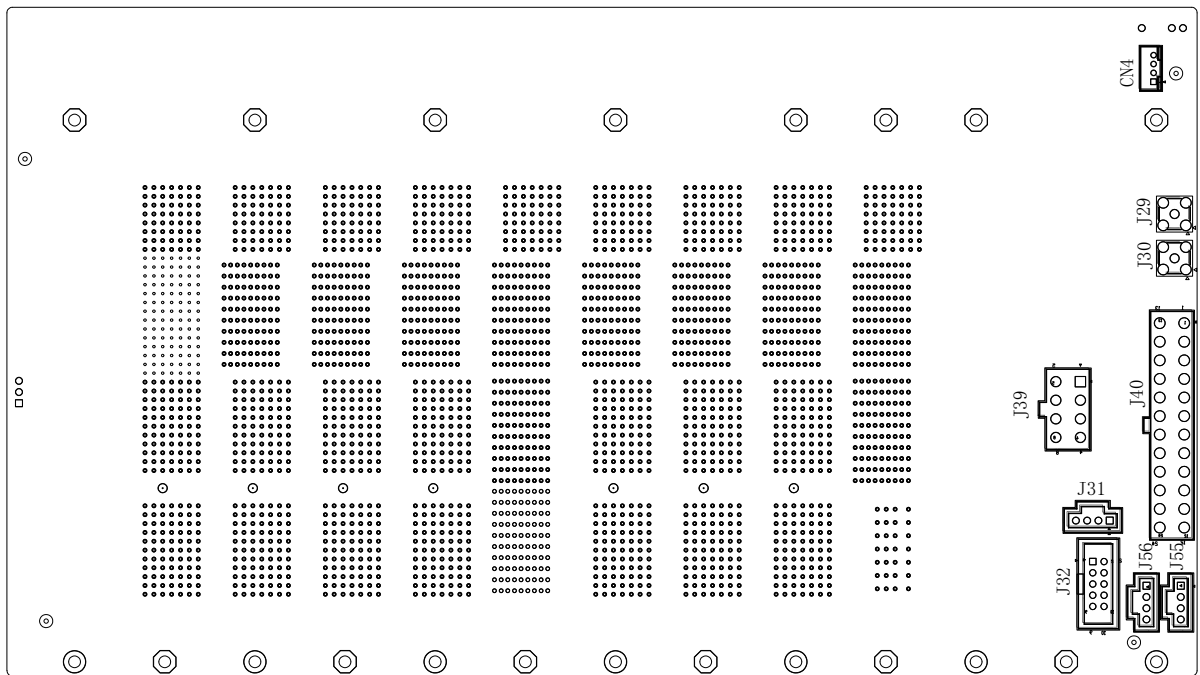
PXI_CLK10 和 PXIe_CLK100 时钟根据 PXI-5 规范, 由于外部的 10MHz 时钟输入可以覆盖板载 10MHz 的时钟源, 在背板上一个锁相环 (PLL) 电路同步 PXIe_CLK100 和外部的 10MHz 时钟。

6 背板视图

6.1 背板顶视图(尺寸单位: mm)



6.2 背板底视图



6 引脚分配

7.1 PXIe 系统插槽(Slot #1) 引脚分配

7.1.1 XJ1(J6)信号定义

Pin	1	2	3	4
G	GND	GND	GND	GND
F	12V	12V	12V	12V
E	12V	12V	12V	12V
D	GND	GND	GND	GND
C	5V	5V	5V	5V
B	3.3V	3.3V	3.3V	3.3V
A	GND	GND	GND	GND
Pin	1	2	3	4

7.1.2 XP2(J5)信号定义

Pin	A	B	ab	C	D	cd	E	F	ef
1	3PETp1	3PETn1	GND	3PERp1	3PERn1	GND	3PETp2	3PETn2	GND
2	3PETp3	3PETn3	GND	3PERp3	3PERn3	GND	3PERp2	3PERn2	GND
3	4PETp0	4PETn0	GND	4PERp0	4PERn0	GND	4PETp1	4PETn1	GND
4	4PETp2	4PETn2	GND	4PERp2	4PERn2	GND	4PERp1	4PERn1	GND
5	4PETp3	4PETn3	GND	4PERp3	4PERn3	GND	NC	NC	GND
6	NC	NC	GND	NC	NC	GND	NC	NC	GND
7	NC	NC	GND	NC	NC	GND	NC	NC	GND
8	NC	NC	GND	NC	NC	GND	NC	NC	GND
9	NC	NC	GND	NC	NC	GND	NC	NC	GND
10	NC	NC	GND	NC	NC	GND	NC	NC	GND
Pin	A	B	ab	C	D	cd	E	F	ef

7.1.3 XP3(J4)信号定义

Pin	A	B	ab	C	D	cd	E	F	ef
1	NC	NC	GND	NC	NC	GND	NC	NC	GND
2	NC	NC	GND	PWR_OK	PS_ON#	GND	NC	PWRBTN#	GND
3	SMBDAT	SMBCLK	GND	4RefClk+	4RefClk-	GND	2RefClk+	2RefClk-	GND
4	NC	PERST#	GND	3RefClk+	3RefClk-	GND	1RefClk+	1RefClk-	GND
5	1PETp0	1PETn0	GND	1PERp0	1PERn0	GND	1PETp1	1PETn1	GND
6	1PETp2	1PETn2	GND	1PWRp2	1PERn2	GND	1PERp1	1PERn1	GND
7	1PETp3	1PETn3	GND	1PERp3	1PERn3	GND	2PETp0	2PETn0	GND
8	2PETp1	2PETn1	GND	2PERp1	2PERn1	GND	2PERp0	2PERn0	GND
9	2PETp2	2PETn2	GND	2PERp2	2PERn2	GND	2PETp3	2PETn3	GND
10	3PETp0	3PETn0	GND	3PERp0	3PERn0	GND	2PERp3	2PERn3	GND
Pin	A	B	ab	C	D	cd	E	F	ef

7.1.4 XP4(J3)信号定义

Pin	Z	A	B	C	D	E	F
1	GND	GND	GND	GND	GND	NC	GND
2	GND	5Vaux	GND	SYSEN#	WAKE#	ALERT#	GND
3	GND	NC	NC	NC	NC	NC	GND
4	GND	NC	NC	NC	NC	NC	GND
5	GND	PXI_TRIG3	PXI_TRIG4	PXI_TRIG5	GND	PXI_TRIG6	GND
6	GND	PXI_TRIG2	GND	NC	PXI_STAR	PXI_CLK10	GND
7	GND	PXI_TRIG1	PXI_TRIG0	NC	GND	PXI_TRIG7	GND
8	GND	NC	GND	NC	NC	PXI_LBR6	GND
Pin	Z	A	B	C	D	E	F

7.2 定时触发插槽 (Slot#5) 引脚分配

7.2.1 XP4(J57)信号定义

Pin	Z	A	B	C	D	E	F
1	GND	GA4	GA3	NC	GND	NC	GND
2	GND	5Vaux	GND	NC	WAKE#	ALERT#	GND
3	GND	12V	12V	GND	GND	GND	GND
4	GND	GND	GND	3.3V	3.3V	3.3V	GND
5	GND	PXI_TRIG3	PXI_TRIG4	PXI_TRIG5	GND	PXI_TRIG6	GND
6	GND	PXI_TRIG2	GND	NC	PXI_CLK10_IN	PXI_CLK10	GND
7	GND	PXI_TRIG1	PXI_TRIG0	NC	GND	PXI_TRIG7	GND
8	GND	PXIe_SYNC_CTRL	GND	NC	PXI_LBL6	PXI_LBR6	GND
Pin	Z	A	B	C	D	E	F

7.2.2 XP3(J58)信号定义

Pin	A	B	ab	C	D	cd	E	F	ef
1	PXIe_CLK1 00+	PXIe_CLK1 00-	GND	PXIe_SYN C100+	PXIe_SYNC 100-	GND	PXIe_DST ARC+	PXIe_DST ARC-	GND
2	NC	PWREN#	GND	PXIe_DSTA RB+	PXIe_DSTA RB-	GND	PXIe_DST ARA+	PXIe_DST ARA-	GND
3	SMBDAT	SMBCLK	GND	NC	NC	GND	NC	NC	GND
4	NC	PERST#	GND	NC	NC	GND	1RefClk+	1RefClk-	GND
5	1PETp0	1PETn0	GND	1PERp0	1PERn0	GND	1PETp1	1PETn1	GND
6	1PETp2	1PETn2	GND	1PERp2	1PERn2	GND	1PERp1	1PERn1	GND
7	1PETp3	1PETn3	GND	1PERp3	1PERn3	GND	NC	NC	GND
8	NC	NC	GND	NC	NC	GND	NC	NC	GND
9	NC	NC	GND	NC	NC	GND	NC	NC	GND
10	NC	NC	GND	NC	NC	GND	NC	NC	GND
Pin	A	B	ab	C	D	cd	E	F	ef

7.2.3 TP2(J59)信号定义

Pin	A	B	ab	C	D	cd	E	F	ef
1	PXIe_DSTARC0+	PXIe_DSTARC0-	GND	NC	NC	GND	NC	NC	GND
2	PXIe_DSTARA0+	PXIe_DSTARA0-	GND	NC	NC	GND	NC	NC	GND
3	PXIe_DSTARB0+	PXIe_DSTARB0-	GND	PXIe_DSTAR C1+	PXIe_DSTA RC1-	GND	NC	NC	GND
4	PXIe_DSTARB1+	PXIe_DSTARB1-	GND	PXI_STAR0	PXI_STAR1	GND	NC	NC	GND
5	PXIe_DSTARA1+	PXIe_DSTARA1-	GND	PXI_STAR2	PXI_STAR3	GND	NC	NC	GND
6	PXIe_DSTARC2+	PXIe_DSTARC2-	GND	PXI_STAR4	PXI_STAR5	GND	NC	NC	GND
7	PXIe_DSTARB2+	PXIe_DSTARB2-	GND	PXI_STAR6	PXI_STAR7	GND	NC	NC	GND
8	PXIe_DSTARA2+	PXIe_DSTARA2-	GND	NC	NC	GND	NC	NC	GND
9	PXIe_DSTARC3+	PXIe_DSTARC3-	GND	NC	NC	GND	NC	NC	GND
10	PXIe_DSTARB3+	PXIe_DSTARB3-	GND	NC	NC	GND	NC	NC	GND
Pin	A	B	ab	C	D	cd	E	F	ef

7.2.3 TP1(J60)信号定义

Pin	A	B	ab	C	D	cd	E	F	ef
1	PXIe_DSTARA3+	PXIe_DSTARA3-	GND	PXIe_DSTA RC7+	PXIe_DSTAR C7+	GND	NC	NC	GND
2	PXIe_DSTARC4+	PXIe_DSTARC4-	GND	NC	NC	GND	NC	NC	GND
3	PXIe_DSTARB4+	PXIe_DSTARB4-	GND	NC	NC	GND	NC	NC	GND
4	PXIe_DSTARA4+	PXIe_DSTARA4-	GND	PXIe_DSTA RB7+	PXIe_DSTAR B7-	GND	NC	NC	GND
5	PXIe_DSTARC5+	PXIe_DSTARC5-	GND	NC	NC	GND	NC	NC	GND
6	PXIe_DSTARB5+	PXIe_DSTARB5-	GND	NC	NC	GND	NC	NC	GND
7	PXIe_DSTARA5+	PXIe_DSTARA5-	GND	PXIe_DSTA RA7+	PXIe_DSTAR A7-	GND	NC	NC	GND
8	PXIe_DSTARC6+	PXIe_DSTARC6-	GND	NC	NC	GND	NC	NC	GND
9	PXIe_DSTARB6+	PXIe_DSTARB6-	GND	NC	NC	GND	NC	NC	GND
10	PXIe_DSTARA6+	PXIe_DSTARA6-	GND	NC	NC	GND	NC	NC	GND
Pin	A	B	ab	C	D	cd	E	F	ef

7.3 PXIe 混合外设插槽引脚分配

7.3.1 P1 信号定义

P1 接口对应插槽(Slot #2~Slot #4、Slot #6~Slot #9)的 J9、J13、J16、J43、J22、J25、J61，其信号定义为：

Pin	Z	A	B	C	D	E	F
25	GND	5V	REQ64#	ENUM#	3.3V	5V	GND
24	GND	AD[1]	5V	V(I/O)	AD[0]	ACK64#	GND
23	GND	3.3V	AD[4]	AD[3]	5V	AD[2]	GND
22	GND	AD[7]	GND	3.3V	AD[6]	AD[5]	GND
21	GND	3.3V	AD[9]	AD[8]	M66EN	C/BE[0]#	GND
20	GND	AD[12]	GND	V(I/O)	AD[11]	AD[10]	GND
19	GND	3.3V	AD[15]	AD[14]	GND	AD[13]	GND
18	GND	SERR#	GND	3.3V	PAR	C/BE[1]#	GND
17	GND	3.3V	IPMB_SCL	IPMB_SDA	GND	PERR#	GND
16	GND	DEVSEL#	GND	V(I/O)	STOP#	LOCK#	GND
15	GND	3.3V	FRAME#	IRDY#	GND	TRDY#	GND
12-14	Keying Area						
11	GND	AD[18]	AD[17]	AD[16]	GND	C/BE[2]#	GND
10	GND	AD[21]	GND	3.3V	AD[20]	AD[19]	GND
9	GND	C/BE[3]#	IDSEL	AD[23]	GND	AD[22]	GND
8	GND	AD[26]	GND	V(I/O)	AD[25]	AD[24]	GND
7	GND	AD[30]	AD[29]	AD[28]	GND	AD[27]	GND
6	GND	REQ#	GND	3.3V	CLK	AD[31]	GND
5	GND	NC	NC	RST#	GND	GNT#	GND
4	GND	IPMB_PWR	HEALTHY#	V(I/O)	INTP	INTS	GND
3	GND	INTA#	INTB#	INTC#	5V	INTD#	GND
2	GND	TCK	5V	TMS	NC	NC	GND
1	GND	5V	-12V	TRST#	+12V	5V	GND
Pin	Z	A	B	C	D	E	F

7.3.2 XP3 信号定义

XP3 接口对应插槽(Slot #2~Slot #4、Slot #6~Slot #9)的 J8、J12、J15、J42、J21、J24、J60，其信号定义为：

Pin	A	B	ab	C	D	cd	E	F	ef
1	PXIe_CLK 100+	PXIe_CLK1 00-	GND	PXIe_SYN C100+	PXIe_SYN C100-	GND	PXIe_DST ARC+	PXIe_DST ARC-	GND
2	NC	GND	GND	PXIe_DST ARB+	PXIe_DST ARB-	GND	PXIe_DST ARA+	PXIe_DST ARA-	GND
3	SMBDAT	SMBCLK	GND	NC	NC	GND	NC	NC	GND
4	NC	PERST#	GND	NC	NC	GND	1RefClk+	1RefClk-	GND
5	1PETp0	1PETn0	GND	1PERp0	1PERn0	GND	1PETp1	1PETn1	GND
6	1PETp2	1PETn2	GND	1PERp2	1PERn2	GND	1PERp1	1PERn1	GND
7	1PETp3	1PETn3	GND	1PERp3	1PERn3	GND	NC	NC	GND

8	NC	NC	GND	NC	NC	GND	NC	NC	GND
9	NC	NC	GND	NC	NC	GND	NC	NC	GND
10	NC	NC	GND	NC	NC	GND	NC	NC	GND
Pin	A	B	ab	C	D	cd	E	F	ef

7.3.3 XP4 信号定义

XP4 接口对应插槽(Slot #2~Slot #4、Slot #6~Slot #9)的 J7、J11、J14、J41、J20、J23、J26，其信号定义为：

Pin	Z	A	B	C	D	E	F
1	GND	GND	GND	GND	NC	GA0	GND
2	GND	5Vaux	GND	SYSEN#	WAKE#	ALERT#	GND
3	GND	12V	12V	GND	GND	GND	GND
4	GND	GND	GND	3.3V	3.3V	3.3V	GND
5	GND	PXI_TRIG3	PXI_TRIG4	PXI_TRIG5	GND	PXI_TRIG6	GND
6	GND	PXI_TRIG2	GND	NC	PXI_STAR	PXI_CLK10	GND
7	GND	PXI_TRIG1	PXI_TRIG0	NC	GND	PXI_TRIG7	GND
8	GND	NC	GND	NC	PXI_LBL6	PXI_LBR6	GND
Pin	Z	A	B	C	D	E	F

8 背板连接器说明

8.1 ATX 直流电源接口

J40: 24Pin ATX 电源接口, 其信号定义为:

引脚	信号	引脚	信号
1	+3.3V	13	+3.3V
2	+3.3V	14	-12V
3	GND	15	GND
4	+5V	16	PS_ON
5	GND	17	GND
6	+5V	18	GND
7	GND	19	GND
8	NC	20	NC
9	+5VSTB	21	+5V
10	+12V	22	+5V
11	+12V	23	+5V
12	+3.3V	24	GND

8.2 ATX 12V 电源接口

J39: 8Pin ATX 12V 电源接口, 其信号定义为:

引脚	信号	引脚	信号
1	GND	5	+12V
2	GND	6	+12V
3	GND	7	+12V
4	GND	8	+12V

8.3 远程监控接口

J32: 远程监控接口, 其引脚定义为:

引脚	信号	引脚	信号
1	GND	2	+12V
3	+5V	4	NC
5	NC	6	-12V
7	+3.3V	8	GND
9	EXT_INHIBIT#	10	NC

注: 在电源远程控制模式下, EXT_INHIBIT#接地可关闭 ATX 电源, 悬空可启用 ATX 电源 (系统槽中必须有控制器)。

8.4 报警指示灯接口

CN2: 报警指示灯接口, 其引脚定义为:

引脚	定义	引脚	定义	引脚	定义
1	ALERT_TEMP_LED+	3	ALERT_FAN_LED+	5	ALERT_PWR_LED+
2	ALERT_TEMP_LED-	4	ALERT_FAN_LED-	6	ALERT_PWR_LED-

8.5 系统 PWR_Button 接口

CN3: 系统 PWR_Button 接口, 其引脚定义为:

引脚	定义
1	GND
2	CHASSIS_Button#

注: PWR_Button 输入信号为低电平脉冲信号, 系统槽中必须插入控制器才能通过 PWR_Button 接口使能 ATX 电源。

8.6 PCI 总线 66MHz 时钟使能接口

J10: PCI 总线 66MHz 时钟使能接口, 短接 1、2 脚使能 66MHz, 短接 2、3 脚使能 33MHz。

8.7 模式控制接口

J31: 该接口为风扇与电源模式控制接口, 其引脚定义为:

引脚	信号
1	FAN_MODE_CTRT
2	GND
3	INHIBIT_MODE_CTRL
4	GND

风扇模式选择: 断开 1、2 引脚, 为风扇自适应控制模式;

短接 1、2 引脚, 为风扇全速模式。

电源模式选择: 断开 3、4 引脚, 为电源本地控制模式;

短接 3、4 引脚, 为电源远程控制模式。

8.8 外部 10M 时钟输入输出接口

J29: 外部 10M 时钟输入接口

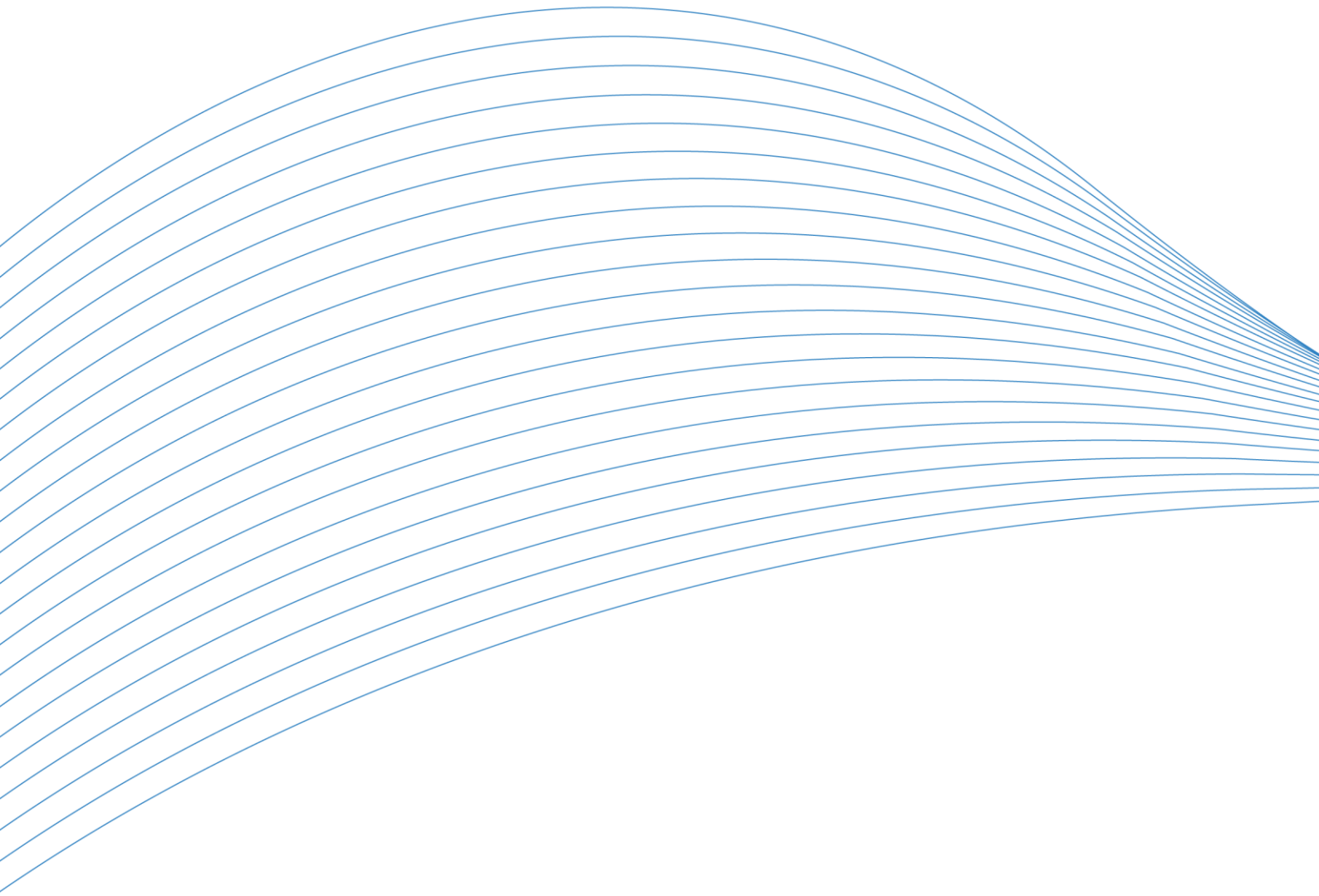
J30: 外部 10M 时钟输出接口

注: 10M 时钟为自适应选择, 首先选择 PXI Slot 时钟, 其次选择外部时钟, 最后选择 PXI_10M 时钟。

8.9 风扇电源

J55/J56: 调速风扇接口, 其信号定义为:

J55/56引脚	信号
1	GND
2	+12V
3	FG
4	PWM



阿尔泰科技

服务热线：400-860-3335

网址：www.art-control.com